



PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Docket No: Q78894

Sung-kyu CHOI

Appln. No.: 10/758,040

Group Art Unit: 2112

Confirmation No.: 6125

Examiner: Christopher E. LEE

Filed: January 16, 2004

For: APPARATUS AND METHOD FOR CONNECTING PROCESSOR TO BUS

SUBMISSION OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Submitted herewith is a certified copy of the priority document on which a claim to priority was made under 35 U.S.C. § 119. The Examiner is respectfully requested to acknowledge receipt of said priority document.

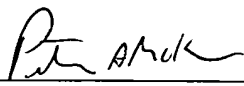
Respectfully submitted,

SUGHRUE MION, PLLC
Telephone: (202) 293-7060
Facsimile: (202) 293-7860

WASHINGTON OFFICE

23373

CUSTOMER NUMBER



Peter A. McKenna
Registration No. 38,551

Enclosures: Republic of Korea 10-2003-0003471

Date: October 26, 2006

SH-18391-45



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0003471
Application Number

출원 년 월 일 : 2003년 01월 18일
Date of Application JAN 18, 2003

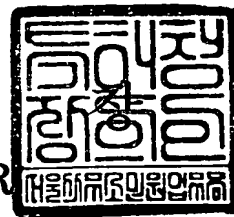
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 12 월 02 일

특 허 청

COMMISSIONER



CERTIFIED COPY OF
PRIORITY DOCUMENT

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	2003.01.18
【국제특허분류】	H04L
【발명의 명칭】	프로세서 버스 연결 장치 및 방법
【발명의 영문명칭】	Apparatus and method for connecting processor to bus
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2000-002816-9
【발명자】	
【성명의 국문표기】	최성규
【성명의 영문표기】	CHOI, Sung Kyu
【주민등록번호】	680412-1026116
【우편번호】	420-723
【주소】	경기도 부천시 원미구 중2동 무지개마을 동신아파트 1208동 206호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 이해영 (인)

【수수료】

【기본출원료】	20	면	29,000	원
---------	----	---	--------	---

【가산출원료】	71	면	71,000	원
---------	----	---	--------	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	39	항	1,357,000	원
---------	----	---	-----------	---

【합계】	1,457,000	원		
------	-----------	---	--	--

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 프로세서와 버스를 연결하는 장치 및 방법에 관한 것으로, 본 발명에 따른 프로세서 버스 연결 장치는 프로세서로부터 제 1 메모리의 주소를 나타내는 주소 정보를 수신한 경우, 프로세서로부터 제 1 데이터를 수신하여, 동기 데이터 버스를 경유하여 제 1 메모리로 전송하거나, 또는 제 1 메모리로부터 동기 데이터 버스를 경유하여 제 2 데이터를 수신하여, 프로세서로 전송하고, 프로세서로부터 제 2 메모리의 주소를 나타내는 주소 정보를 수신한 경우, 프로세서로부터 제 3 데이터를 수신하여 버퍼로 전송하거나, 또는 버퍼로부터 제 4 데이터를 수신하여 프로세서로 전송하는 맥스, 및 맥스로부터 제 3 데이터를 수신하여 저장하고, 저장된 제 3 데이터를 비동기 데이터 버스를 경유하여 제 2 메모리로 전송하거나, 제 2 메모리로부터 비동기 데이터 버스를 경유하여 제 4 데이터를 수신하여 저장하고, 저장된 제 4 데이터를 맥스로 전송하는 버퍼로 구성된다. 따라서, 일반적인 데이터는 프로세서와 동기되어 있는 동기 버스를 경유하여 전송하고, 디스플레이 데이터는 프로세서와 동기되어 있지 않은 비동기 버스를 경유하여 전송함으로써, 디스플레이 화면의 대형화, 고화질화에 따라 디스플레이 장치에 필요한 데이터 양이 증가하더라도, 프로세서의 작업 공간 메모리의 대역폭에는 영향을 주지 않게 되어, 프로세서가 지향하는 최고의 성능을 달성할 수 있다는 효과가 있다.

【대표도】

도 3

【명세서】

【발명의 명칭】

프로세서 버스 연결 장치 및 방법 {Apparatus and method for connecting processor to bus}

【도면의 간단한 설명】

도 1은 종래의 이중 버스 경유 시스템의 구성도이다.

도 2는 본 발명의 일 실시예에 따른 동기 버스 및 비동기 버스 경유 시스템의 구성도이다.

도 3은 상기 도 2의 프로세서 버스 연결 장치(25)의 상세 구성도이다.

도 4는 상기 도 3의 믹스의 상세 구성도이다.

도 5는 상기 도 4의 동기 데이터 버스 쓰기부의 상세 구성도이다.

도 6은 상기 도 4의 동기 데이터 버스 읽기부의 상세 구성도이다.

도 7은 상기 도 4의 버퍼 쓰기부의 상세 구성도이다.

도 8은 상기 도 4의 버퍼 읽기부의 상세 구성도이다.

도 9는 상기 도 3의 버퍼의 상세 구성도이다.

도 10은 상기 도 9의 비동기 데이터 버스 쓰기부의 상세 구성도이다.

도 11은 상기 도 9의 비동기 데이터 버스 읽기부의 구성도이다.

도 12는 본 발명의 일 실시예에 따른 프로세서 버스 연결 방법의 흐름도이다.

도 13은 본 발명의 일 실시예에 따른 믹싱 방법의 흐름도이다.

도 14는 상기 도 13의 131, 132, 133 단계의 상세 흐름도이다.

도 15는 상기 도 13의 131, 132, 134 단계의 상세 흐름도이다.

도 16은 상기 도 13의 131, 135, 136 단계의 상세 흐름도이다.

도 17은 상기 도 13의 131, 135, 137 단계의 상세 흐름도이다.

도 18은 본 발명의 일 실시예에 따른 버퍼링 방법의 흐름도이다.

도 19는 상기 도 18의 181, 182 단계의 상세 흐름도이다.

도 20은 상기 도 18의 181, 183 단계의 상세 흐름도이다.

도 21 및 도 22는 본 발명의 일 실시예에 따른 동기 버스 및 비동기 버스 경유 방법의 흐름도이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<22> 본 발명은 프로세서와 버스를 연결하는 장치 및 방법에 관한 것이다.

<23> 도 1은 종래의 이중 버스 경유 시스템의 구성도이다.

<24> 종래의 이중 버스 경유 시스템은 제 1 메모리(11), 입력 장치(12), 프로세서(13), 버스 제어 장치(14), 제 2 메모리(15), 및 출력 장치(16)로 구성된다.

<25> 제 1 메모리(11)는 프로세서가 작업하는 공간이고, 제 2 메모리(15)는 디스플레이 데이터가 저장되는 공간이다. 제 1 메모리(11)와 제 2 메모리(15) 각각에 서로 다른 버스가 연결되어 있다. 이것은 디스플레이 데이터의 양이 많을 경우, 버스 하나를 사용하면, 버스의 전송 용량의 한계에 달하게 되기 때문에, 디스플레이 데이터만을 전송하는 전용 버스를 별도로 설치한 것이다.

<26> 현재, 디스플레이 화면의 대형화, 고화질화에 따라 디스플레이 장치에 필요한 데이터 양이 증가하여, 종래의 전용 버스도 전송 용량의 한계에 달하게 되었다. 물론, 버스의 속도를 올리면 되지만, 프로세서 클럭과의 관계로 인하여 버스의 속도를 올리는 것도 한계가 있고, 고속으로 동작하게 되면 전력 소비가 증가하고, 더불어 다른 주변 장치도 고속에서 동작할 수 있도록 설계하여야 한다는 문제가 있었다.

【발명이 이루고자 하는 기술적 과제】

<27> 본 발명이 이루고자 하는 기술적 과제는 프로세서와 동기되어 있는 동기 버스를 경유하여 일반 데이터를 전송하고, 프로세서와 동기되어 있지 않은 비동기 버스를 경유하여 디스플레이 데이터를 전송하는 장치 및 방법을 제공하는데 있다.

【발명의 구성 및 작용】

<28> 상기 기술적 과제를 해결하기 위한 본 발명에 따른 프로세서 버스 연결 장치는 프로세서로부터 상기 프로세서와 동기되어 있는 데이터 버스인 동기 데이터 버스에 연결된 제 1 메모리의 주소를 나타내는 주소 정보를 수신한 경우, 상기 프로세서로부터 제 1 데이터를 수신하고, 상기 수신된 제 1 데이터를 상기 동기 데이터 버스를 경유하여 상기 제 1 메모리로 전송하거나, 또는 상기 제 1 메모리로부터 상기 동기 데이터 버스를 경유하여 제 2 데이터를 수신하고, 상기 수신된 제 2 데이터를 상기 프로세서로 전송하고, 상기 프로세서로부터 상기 프로세서와 동기되어 있지 않은 데이터 버스인 비동기 데이터 버스에 연결된 제 2 메모리의 주소를 나타내는 주소 정보를 수신한 경우, 상기 프로세서로부터 제 3 데이터를 수신하여 버퍼로 전송하거나, 또는 상기 버퍼로부터 제 4 데이터를 수신하여 상기 프로세서로 전송하는 먹스; 및 상기 먹스로부터 상기 제 3 데이터를 수신하여 저장하고, 상기 저장된 제 3 데이터를 상기

비동기 데이터 버스를 경유하여 상기 제 2 메모리로 전송하거나, 상기 제 2 메모리로부터 상기 비동기 데이터 버스를 경유하여 제 4 데이터를 수신하여 저장하고, 상기 저장된 제 4 데이터를 상기 맥스로 전송하는 버퍼로 구성된다.

<29> 상기 기술적 과제를 해결하기 위한 본 발명에 따른 먹싱 장치는 프로세서로부터 상기 프로세서와 동기되어 있는 데이터 버스인 동기 데이터 버스에 연결된 제 1 메모리의 주소를 나타내는 주소 정보를 수신하고, 상기 프로세서로부터 상기 제 1 메모리에 대한 쓰기 요청을 나타내는 제어 정보를 수신한 경우, 상기 프로세서로부터 제 1 데이터를 수신하고, 상기 수신된 제 1 데이터를 상기 동기 데이터 버스를 경유하여 상기 제 1 메모리로 전송하는 동기 데이터 버스 쓰기부; 상기 프로세서로부터 상기 제 1 메모리의 주소를 나타내는 주소 정보를 수신하고, 상기 프로세서로부터 상기 제 1 메모리에 대한 읽기 요청을 나타내는 제어 정보를 수신한 경우, 상기 제 1 메모리로부터 상기 동기 데이터 버스를 경유하여 제 2 데이터를 수신하고, 상기 수신된 데이터를 상기 프로세서로 전송하는 동기 데이터 버스 읽기부; 상기 프로세서로부터 상기 프로세서와 동기되어 있지 않은 데이터 버스인 비동기 데이터 버스에 연결된 제 2 메모리의 주소를 나타내는 주소 정보를 수신하고, 상기 프로세서로부터 상기 제 2 메모리에 대한 쓰기 요청을 나타내는 제어 정보를 수신한 경우, 상기 프로세서로부터 제 3 데이터를 수신하고, 상기 수신된 제 3 데이터를 상기 비동기 데이터 버스에 연결된 버퍼로 전송하는 버퍼 쓰기부; 및 상기 프로세서로부터 상기 제 2 메모리의 주소를 나타내는 주소 정보를 수신하고, 상기 프로세서로부터 상기 제 2 메모리에 대한 읽기 요청을 나타내는 제어 정보를 수신한 경우, 상기 버퍼로부터 제 4 데이터를 수신하고, 상기 수신된 제 4 데이터를 상기 프로세서로 전송하는 버퍼 읽기부로 구성된다.

<30> 상기 기술적 과제를 해결하기 위한 본 발명에 따른 버퍼링 장치는 프로세서와 연결된 먹스로부터 상기 프로세서와 동기되어 있지 않은 데이터 버스인 비동기 데이터 버스에 연결된 버퍼에 대한 쓰기 요청을 나타내는 제어 정보를 수신한 경우, 상기 먹스로부터 제 3 데이터를 수신하여 저장하고, 상기 저장된 제 3 데이터를 상기 비동기 데이터 버스를 경유하여 상기 제 2 메모리로 전송하는 비동기 데이터 버스 쓰기부; 및 상기 먹스로부터 상기 버퍼에 대한 읽기 요청을 나타내는 제어 정보를 수신한 경우, 상기 제 2 메모리로부터 상기 비동기 데이터 버스를 경유하여 제 4 데이터를 수신하여 저장하고, 상기 저장된 제 4 데이터를 상기 먹스로 전송하는 비동기 데이터 버스 읽기부로 구성된다.

<31> 상기 기술적 과제를 해결하기 위한 본 발명에 따른 동기 버스 및 비동기 버스 경유 시스템은 프로세서 버스 연결 장치로부터 전송된 입력 데이터로부터 제 1 데이터 또는 제 3 데이터를 생성하여 상기 프로세서 버스 연결 장치로 송신하거나, 제 2 데이터 또는 제 4 데이터로부터 출력 데이터를 생성하여 상기 프로세서 버스 연결 장치로 송신하는 프로세서; 및 입력 장치로부터 동기 버스를 경유하여 상기 입력 데이터를 수신하고, 상기 수신된 입력 데이터를 프로세서로 전송하거나, 상기 프로세서로부터 제 1 데이터를 수신하고, 상기 수신된 제 1 데이터를 상기 동기 버스를 경유하여 상기 제 1 메모리로 전송하거나, 상기 제 1 메모리로부터 상기 동기 버스를 경유하여 제 2 데이터를 수신하고, 상기 수신된 제 2 데이터를 상기 프로세서로 전송하거나, 상기 프로세서로부터 제 3 데이터를 수신하여 저장하고, 상기 저장된 제 3 데이터를 상기 비동기 버스를 경유하여 상기 제 2 메모리로 전송하거나, 상기 제 2 메모리로부터 상기 비동기 버스를 경유하여 제 4 데이터를 수신하여 저장하고, 상기 저장된 제 4 데이터를 상기 프로세서로 전송하거나, 상기 프로세서로부터 상기 출력 데이터를 수신하여 저장하고, 상기 저

장된 출력 데이터를 상기 비동기 버스를 경유하여 출력 장치로 전송하는 프로세서 버스 연결 장치로 구성된다.

<32> 상기 기술적 과제를 해결하기 위한 본 발명에 따른 프로세서 버스 연결 방법은 (a) 프로세서로부터 상기 프로세서와 동기되어 있는 데이터 버스인 동기 데이터 버스에 연결된 제 1 메모리의 주소를 나타내는 주소 정보를 수신한 경우, 상기 프로세서로부터 제 1 데이터를 수신하고, 상기 수신된 제 1 데이터를 상기 동기 데이터 버스를 경유하여 상기 제 1 메모리로 전송하거나, 또는 상기 제 1 메모리로부터 상기 동기 데이터 버스를 경유하여 제 2 데이터를 수신하고, 상기 수신된 제 2 데이터를 상기 프로세서로 전송하는 단계; 및 (b) 상기 프로세서로부터 상기 프로세서와 동기되어 있지 않은 데이터 버스인 비동기 데이터 버스에 연결된 제 2 메모리의 주소를 나타내는 주소 정보를 수신한 경우, 상기 프로세서로부터 제 3 데이터를 수신하여 전송하고, 상기 전송된 제 3 데이터를 저장하고, 상기 저장된 제 3 데이터를 상기 비동기 데이터 버스를 경유하여 상기 제 2 메모리로 전송하거나, 상기 제 2 메모리로부터 상기 비동기 데이터 버스를 경유하여 제 4 데이터를 수신하여 저장하고, 상기 저장된 제 4 데이터를 전송하고, 상기 전송된 제 4 데이터를 수신하여 상기 프로세서로 전송하는 단계로 구성된다.

<33> 상기 기술적 과제를 해결하기 위한 본 발명에 따른 먹싱 방법은 (a) 프로세서로부터 상기 프로세서와 동기되어 있는 데이터 버스인 동기 데이터 버스에 연결된 제 1 메모리의 주소를 나타내는 주소 정보를 수신하고, 상기 프로세서로부터 상기 제 1 메모리에 대한 쓰기 요청을 나타내는 제어 정보를 수신한 경우, 상기 프로세서로부터 제 1 데이터를 수신하고, 상기 수신된 제 1 데이터를 상기 동기 데이터 버스를 경유하여 상기 제 1 메모리로 전송하는 단계; (b) 상기 프로세서로부터 상기 제 1 메모리의 주소를 나타내는 주소 정보를 수신하고, 상기 프로세서로부터 상기 제 1 메모리에 대한 읽기 요청을 나타내는 제어 정보를 수신한 경우, 상기 제 1

메모리로부터 상기 동기 데이터 버스를 경유하여 제 2 데이터를 수신하고, 상기 수신된 데이터를 상기 프로세서로 전송하는 단계; (c) 상기 프로세서로부터 상기 프로세서와 동기되어 있지 않은 데이터 버스인 비동기 데이터 버스에 연결된 제 2 메모리의 주소를 나타내는 주소 정보를 수신하고, 상기 프로세서로부터 상기 제 2 메모리에 대한 쓰기 요청을 나타내는 제어 정보를 수신한 경우, 상기 프로세서로부터 제 3 데이터를 수신하고, 상기 수신된 제 3 데이터를 상기 비동기 데이터 버스에 연결된 버퍼로 전송하는 단계; 및 (d) 상기 프로세서로부터 상기 제 2 메모리의 주소를 나타내는 주소 정보를 수신하고, 상기 프로세서로부터 상기 제 2 메모리에 대한 읽기 요청을 나타내는 제어 정보를 수신한 경우, 상기 버퍼로부터 제 4 데이터를 수신하고, 상기 수신된 제 4 데이터를 상기 프로세서로 전송하는 단계로 구성된다.

<34> 상기 기술적 과제를 해결하기 위한 본 발명에 따른 버퍼링 방법은 (a) 프로세서와 연결된 맥스로부터 상기 프로세서와 동기되어 있지 않은 데이터 버스인 비동기 데이터 버스에 연결된 버퍼에 대한 쓰기 요청을 나타내는 제어 정보를 수신한 경우, 상기 맥스로부터 제 3 데이터를 수신하여 저장하고, 상기 저장된 제 3 데이터를 상기 비동기 데이터 버스를 경유하여 상기 제 2 메모리로 전송하는 단계; 및 (b) 상기 맥스로부터 상기 버퍼에 대한 읽기 요청을 나타내는 제어 정보를 수신한 경우, 상기 제 2 메모리로부터 상기 비동기 데이터 버스를 경유하여 제 4 데이터를 수신하여 저장하고, 상기 저장된 제 4 데이터를 상기 맥스로 전송하는 단계로 구성된다.

<35> 상기 기술적 과제를 해결하기 위한 본 발명에 따른 동기 버스 및 비동기 버스 경유 방법은 (a) 사용자로부터 입력 데이터를 수신하고, 상기 수신된 입력 데이터를 프로세서와 동기되어 있는 버스인 동기 버스를 경유하여 송신하는 단계; 및 (b) 상기 동기 버스를 경유하여 상기 입력 데이터를 수신하고, 상기 수신된 입력 데이터를 전송하는 단계; (c) 상기 전송된 입력

데이터로부터 제 1 데이터 또는 제 3 데이터를 생성하여 송신하는 단계; (d) 상기 제 1 데이터를 수신하고, 상기 수신된 제 1 데이터를 상기 동기 버스를 경유하여 상기 제 1 메모리로 전송하거나, 상기 제 3 데이터를 수신하여 저장하고, 상기 저장된 제 3 데이터를 상기 프로세서와 동기되어 있지 않은 비동기 버스를 경유하여 상기 제 2 메모리로 전송하는 단계; (e) 상기 동기 버스를 경유하여 상기 제 1 데이터를 수신하여 저장하는 단계; 및 (f) 상기 비동기 버스를 경유하여 상기 제 3 데이터를 수신하여 저장하는 단계로 구성된다.

<36> 이하에서는 도면을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명한다.

<37> 도 2는 본 발명의 일 실시예에 따른 동기 버스 및 비동기 버스 경유 시스템의 구성도이다.

<38> 동기 버스 및 비동기 버스 경유 시스템은 프로세서(21), 프로세서 버스 연결 장치(25), 브리지 DMA(26), 비동기 버스 제어 장치(27), 제 2 메모리(28), 및 출력 장치(29)로 구성된다. 동기 버스 및 비동기 버스 경유 시스템은 프로세서(21)와 동기되어 있는 동기 버스 및 프로세서(21)와 동기되어 있지 않은 버스를 경유하여 데이터를 전송한다. 동기 버스 제어 장치(22), 제 1 메모리(23), 및 입력 장치(24)는 동기 버스에 연결되어 있고, 비동기 버스 제어 장치(27), 제 2 메모리(28), 및 출력 장치(29)는 비동기 버스에 연결되어 있다. 프로세서 버스 연결 장치(25), 및 브리지 DMA(26)는 동기 버스 및 비동기 버스에 연결되어 있다. 시스템이 적용될 환경에 따라서, 입력 장치(24)가 비동기 버스에 연결될 수도 있고, 출력 장치(29)가 동기 버스에 연결될 수도 있다. 본 발명과 같이, 입력 장치(24)가 동기 버스에 연결되어 있고, 출력 장치(29)가 비동기 버스에 연결되어 있는 경우는, 프로세서와 연동되어 동작하는 동기 버스의 데이터 전송량을 줄이기 위하여, 데이터 량이 많은 디스플레이 데이터가 비동기 데이터 버스를 경유하여 전송되는 경우이므로, 출력 장치는 대부분 디스플레이 장치가 된다.

<39> 프로세서(21)는 프로세서 버스 연결 장치(25)로부터 전송된 입력 데이터로부터 제 1 데이터 또는 제 3 데이터를 생성하여 프로세서 버스 연결 장치(25)로 송신하거나, 제 2 데이터 또는 제 4 데이터로부터 출력 데이터를 생성하여 프로세서 버스 연결 장치(25)로 송신한다. 입력 데이터는 사용자로부터 입력된 데이터로서, 입력 장치(24)인 키보드, 마우스, USB(Universal Serial Bus, 범용 직렬 버스), UART(Universal Asynchronous Receiver/Transmitter, 범용 비동기 송수신기) 등을 통하여 입력된다. 본 발명의 경우, 입력 장치는 동기 버스에 연결되어 있기 때문에 입력 데이터는 동기 버스를 경유하여 프로세서 버스 연결 장치(25)로 전송되고, 프로세서 버스 연결 장치(25)로부터 프로세서(21)로 다시 전송된다. 프로세서(21)는 사용자의 명령에 따라, 입력 데이터를 처리함으로서, 제 1 데이터 또는 제 3 데이터를 생성하여 프로세서 버스 연결 장치(25)로 송신한다. 제 1 데이터는 동기 버스를 경유하여 제 1 메모리로 전송될 데이터이고, 제 3 데이터는 비동기 버스를 경유하여 제 2 메모리로 전송될 데이터이다. 제 2 데이터는 제 1 메모리(23)에 저장되어 있는 데이터이고, 제 4 데이터는 제 2 메모리(28)에 저장되어 있는 데이터이다. 제 2 데이터는 동기 버스를 경유하여 프로세서 버스 연결 장치(25)로 전송되고, 프로세서 버스 연결 장치(25)로부터 프로세서(21)로 다시 전송된다. 제 4 데이터는 비동기 버스를 경유하여 프로세서 버스 연결 장치(25)로 전송되고, 프로세서 버스 연결 장치(25)로부터 프로세서(21)로 다시 전송된다. 프로세서(21)는 사용자의 명령에 따라, 제 2 데이터 또는 제 4 데이터를 처리함으로서, 출력 데이터를 생성하여 프로세서 버스 연결 장치(25)로 송신한다. 상기된 경우는 일 실시예에 불과하며, 사용자의 명령에 따라, 제 1 데이터 또는 제 3 데이터를 처리함으로서, 출력 데이터를 생성할 수도 있다.

<40> 프로세서 버스 연결 장치(25)는 프로세서(21)를 동기 버스에 연결시키거나, 비동기 버스에 연결시킴으로서, 프로세서의 클록에 무관하게 동작하는 제 2 메모리(28)에 프로세서가 자유롭게 읽고, 쓰고 할 수 있도록 하는 역할을 한다. 즉, 프로세서 버스 연결 장치(25)는 상기한 바와 같이, 입력 장치(24)로부터 동기 버스를 경유하여 입력 데이터를 수신하고, 수신된 입력 데이터를 프로세서(21)로 전송한다. 또한, 프로세서 버스 연결 장치(25)는 상기한 바와 같이, 프로세서(21)로부터 제 1 데이터를 수신하고, 수신된 제 1 데이터를 동기 버스를 경유하여 제 1 메모리(23)로 전송한다. 또한, 프로세서 버스 연결 장치(25)는 상기한 바와 같이, 제 1 메모리로부터 동기 버스를 경유하여 제 2 데이터를 수신하고, 수신된 제 2 데이터를 프로세서(21)로 전송한다. 또한, 프로세서 버스 연결 장치(25)는 상기한 바와 같이, 프로세서(21)로부터 제 3 데이터를 수신하여 저장하고, 저장된 제 3 데이터를 비동기 버스를 경유하여 제 2 메모리로 전송한다. 또한, 프로세서 버스 연결 장치(25)는 상기한 바와 같이, 제 2 메모리로부터 비동기 버스를 경유하여 제 4 데이터를 수신하여 저장하고, 저장된 제 4 데이터를 프로세서(21)로 전송한다. 또한, 프로세서 버스 연결 장치(25)는 상기한 바와 같이, 프로세서(21)로부터 출력 데이터를 수신하여 저장하고, 저장된 출력 데이터를 비동기 버스를 경유하여 출력 장치(29)로 전송한다.

<41> 제 1 메모리(23)는 프로세서 버스 연결 장치(25)로부터 동기 버스를 경유하여 제 1 데이터를 수신하여 저장하거나, 저장되어 있는 제 2 데이터를 동기 버스를 경유하여 프로세서 버스 연결 장치(25)로 송신한다. 따라서, 제 1 메모리는 프로세서와 연동되어 동작하는 메모리라고 할 수 있고, 여기에 시스템 OS(Operating System)나 주요 작업 프로그램이 저장된다. 제 1 메모리에는 램(RAM, Random Access Memory), 플래시 메모리(flash memory), 롬(ROM, Read Only Memory) 등이 사용된다. 읽기 전용 메모리인 롬이 사용될 경우, 저장되어 있는 제 2 데이터를

동기 버스를 경유하여 프로세서 버스 연결 장치(25)로 송신할 수는 있으나, 제 1 데이터를 수신하여 저장할 수는 없다. 롬에는 시스템 OS 등 시스템 동작에 필수적인 프로그램이 저장된다.

<42> 제 2 메모리(28)는 프로세서 버스 연결 장치(25)로부터 비동기 버스를 경유하여 제 3 데이터를 수신하여 저장하거나, 제 4 데이터를 비동기 버스를 경유하여 프로세서 버스 연결 장치(25)로 송신한다. 제 1 메모리와 마찬가지로, 제 2 메모리에는 램(RAM, Random Access Memory), 플래시 메모리(flash memory) 등이 사용된다.

<43> 입력 장치(24)는 상기한 바와 같이, 사용자로부터 입력 데이터를 수신하고, 수신된 입력 데이터를 동기 버스를 경유하여 프로세서 버스 연결 장치(25)로 송신한다. 출력 장치(29)는 프로세서 버스 연결 장치(25)로부터 비동기 버스를 경유하여 출력 데이터를 수신하고, 수신된 출력 데이터를 사용자에게 출력하거나, 또는 제 2 메모리(28)로부터 비동기 버스를 경유하여 제 3 데이터를 수신하고, 수신된 제 3 데이터를 사용자에게 출력한다. 수신된 출력 데이터 또는 수신된 제 3 데이터는 대부분 디스플레이 데이터이다. 특히 이와 같은 경우, 출력 장치는 디스플레이 장치가 된다. 또한, 제 2 메모리(28)를 디스플레이 데이터가 저장된 메모리라는 의미에서 디스플레이 메모리라고 한다. 대부분의 디스플레이 장치에는 2차원 그래픽 가속기(2D graphic accelerator) 또는 3차원 그래픽 가속기(3D graphic accelerator)가 부착되어 있다. 2차원 그래픽 가속기는 2차원 그래픽을 디스플레이할 때, 소프트웨어로 수행하는 과정 중 일부를 하드웨어로 수행하는 모듈로서, 프로세서의 부담을 줄이고, 수행 속도를 증가시킨다. 3차원 그래픽 가속기는 더 나아가, 그래픽 데이터를 디스플레이할 때, XY축을 기본으로 Z축을 추가하여 처리하는 모듈이다. 즉, 그래픽 가속기는 프로세서로부터의 명령을 수신하고, 수신된 명령을 수행하여 제 2 메모리에 디스플레이 데이터를 쓰고, 그래픽 가속기에서 수행할 수 없는

부분은 프로세서가 직접 제 2 메모리에 디스플레이 데이터를 쓰게 된다. 또한, 대부분의 디스플레이 장치에는 스케일러(scaler)가 부착되어 있다. 스케일러는 출력 데이터를 디스플레이 패널 크기에 맞는 데이터로 변환시킨다.

<44> 동기 버스 및 비동기 버스는 각각 독립적으로 동작한다. 즉, 동기 버스는 프로세서와 연동되어 동작하는 반면, 비동기 버스는 프로세서의 클럭과 무관하게 동작한다. 따라서, 동기 버스를 제어하는 장치와 비동기 버스를 제어하는 장치가 개별적으로 존재할 필요가 있게 된다. 동기 버스 제어 장치(22)는 동기 버스에 대한 사용을 허가하는 역할을 함으로서, 여러 장치들이 원활하게 동기 버스를 사용할 수 있도록 해준다. 마찬가지로, 비동기 버스 제어 장치(27)는 비동기 버스에 대한 사용을 허가하는 역할을 함으로서, 여러 장치들이 원활하게 비동기 버스를 사용할 수 있도록 해준다.

<45> 동기 버스 제어 장치(22) 및 비동기 버스 제어 장치(27)를 고려하면, 프로세서 버스 연결 장치(25)는 입력 장치(24)로부터 동기 버스 제어 장치(22)에 의해 사용이 허가된 동기 버스를 경유하여 입력 데이터를 수신하고, 수신된 입력 데이터를 프로세서(21)로 전송한다. 또한, 프로세서 버스 연결 장치(25)는 프로세서(21)로부터 제 1 데이터를 수신하고, 수신된 제 1 데이터를 동기 버스 제어 장치(22)에 의해 사용이 허가된 동기 버스를 경유하여 제 1 메모리(23)로 전송한다. 또한, 프로세서 버스 연결 장치(25)는 제 1 메모리(23)로부터 동기 버스 제어 장치(22)에 의해 사용이 허가된 동기 버스를 경유하여 제 2 데이터를 수신하고, 수신된 제 2 데이터를 프로세서(21)로 전송한다. 또한, 프로세서 버스 연결 장치(25)는 프로세서(21)로부터 제 3 데이터를 수신하여 저장하고, 저장된 제 3 데이터를 비동기 버스 제어 장치(27)에 의해 사용이 허가된 비동기 버스를 경유하여 제 2 메모리(28)로 전송한다. 또한, 프로세서 버스 연결 장치(25)는 제 2 메모리(28)로부터 비동기 버스 제어 장치(27)에 의해 사용이 허가된 비동

기 버스를 경유하여 제 4 데이터를 수신하여 저장하고, 저장된 제 4 데이터를 프로세서(21)로 전송한다. 또한, 프로세서 버스 연결 장치(25)는 프로세서(21)로부터 출력 데이터를 수신하여 저장하고, 저장된 출력 데이터를 비동기 버스 제어 장치(27)에 의해 사용이 허가된 비동기 버스를 경유하여 출력 장치로 전송한다.

<46> 또한, 제 1 메모리(23)는 프로세서 버스 연결 장치(25)로부터 동기 버스 제어 장치(22)에 의해 사용이 허가된 동기 버스를 경유하여 제 1 데이터를 수신하여 저장하거나, 제 2 데이터를 동기 버스 제어 장치(22)에 의해 사용이 허가된 동기 버스를 경유하여 프로세서 버스 연결 장치(25)로 송신한다.

<47> 또한, 제 2 메모리(28)는 프로세서 버스 연결 장치(25)로부터 비동기 버스 제어 장치(27)에 의해 사용이 허가된 비동기 버스를 경유하여 제 1 데이터 또는 제 3 데이터를 수신하여 저장하거나, 제 4 데이터를 비동기 버스 제어 장치(27)에 의해 사용이 허가된 비동기 버스를 경유하여 프로세서 버스 연결 장치(25)로 송신한다.

<48> 또한, 입력 장치(24)는 사용자로부터 입력 데이터를 수신하고, 수신된 입력 데이터를 동기 버스 제어 장치(22)에 의해 사용이 허가된 동기 버스를 경유하여 프로세서 버스 연결 장치로 송신한다. 출력 장치(29)는 프로세서 버스 연결 장치(24)로부터 비동기 버스 제어 장치(27)에 의해 사용이 허가된 비동기 버스를 경유하여 출력 데이터를 수신하고, 수신된 출력 데이터를 사용자에게 출력하거나, 또는 제 2 메모리(28)로부터 비동기 버스 제어 장치(27)에 의해 사용이 허가된 비동기 버스를 경유하여 제 3 데이터를 수신하고, 수신된 제 3 데이터를 사용자에게 출력한다.

<49> 브리지 DMA(26)는 제 1 메모리(23)로부터 동기 버스를 경유하여 제 2 데이터를 수신하고, 수신된 제 2 데이터를 비동기 버스를 경유하여 제 2 메모리로 전송한다. 또한, 브리

지 DMA(26)는 제 2 메모리로부터 비동기 버스를 경유하여 제 4 데이터를 수신하고, 수신된 제 4 데이터를 동기 버스를 경유하여 제 1 메모리(23)로 전송한다. 브리지 DMA(26)는 DMA(Direct Memory Access) 방식으로 데이터를 전송하기 때문에, 프로세서(21)를 통하지 않고, 제 1 메모리(23)와 제 2 메모리(28)간에 직접 데이터를 전송하는 역할을 한다. 나아가, 제 1 메모리, 제 2 메모리(28)와 입력 장치(24), 출력 장치(29)간에 직접 데이터를 전송하는 역할을 할 수도 있다. 예를 들어, 제 1 메모리를 디스플레이 데이터 중 비디오 데이터를 저장하는 장치로 사용하고, 제 2 메모리를 디스플레이 데이터 중 그래픽 데이터를 저장하는 장치로 사용할 경우, 제 1 메모리에 저장된 비디오 데이터는 브리지 DMA를 사용하여 제 2 메모리로 전송하여, 디스플레이하게 된다. 나아가, 제 1 메모리를 작업 공간으로 사용하는 어플리케이션에서 제 2 메모리에 저장된 데이터를 필요로 하는 경우, 제 2 메모리에 저장된 데이터는 브리지 DMA를 사용하여 제 1 메모리로 전송할 수도 있다.

브리지 DMA(26)를 고려하면, 제 1 메모리(23)는 프로세서 버스 연결 장치(25)로부터 동기 버스를 경유하여 제 1 데이터를 수신하여 저장하거나, 브리지 DMA(26)로부터 동기 버스를 경유하여 제 4 데이터를 수신하여 저장한다. 또한, 제 1 메모리(23)는 제 2 데이터를 동기 버스를 경유하여 프로세서 버스 연결 장치(25)로 송신하거나, 브리지 DMA(26)로 송신한다. 또한, 제 2 메모리(28)는 프로세서 버스 연결 장치(25)로부터 비동기 버스를 경유하여 제 3 데이터를 수신하여 저장하거나, 브리지 DMA(26)로부터 비동기 버스를 경유하여 제 2 데이터를 수신하여 저장한다. 또한, 제 2 메모리(28)는 제 4 데이터를 비동기 버스를 경유하여 프로세서 버스 연결 장치(25) 또는 브리지 DMA(26)로 송신한다. 또한, 출력 장치(29)는 프로세서 버스 연결 장치(25)로부터 비동기 버스를 경유하여 출력 데이터를 수신하고, 수신된 출력 데이터를 사용자에게 출력하거나, 제 2 메모리(28)로부터 비동기 버스를 경유하여 제 3 데이터를 수신하고, 수신된 제 3 데이터를 사용자에게 출력하거나, 또는 브리지

DMA(26)로부터 비동기 버스를 경유하여 제 1 데이터를 수신하고, 수신된 제 1 데이터를 사용자에게 출력한다.

<50> 도 3은 상기 도 2의 프로세서 버스 연결 장치(25)의 상세 구성도이다.

<51> 프로세서 버스 연결 장치(32)는 믹스(321) 및 버퍼(322)로 구성된다.

<52> 프로세서가 메모리로 데이터를 쓰거나, 메모리로부터 데이터를 읽으려면, 메모리에 데이터가 저장되어 있는 장소의 위치를 알려주는 주소 정보와 읽기인지, 쓰기인지를 알려주는 제어 정보를 입력하여야 한다. 이때, 프로세서와 데이터를 주고받는 주변 장치들이 여러 개이므로, 프로세서와 여러 주변 장치들간의 공통의 데이터 전송 통로인 버스를 이용한다. 일반적으로, 데이터는 데이터 버스(data bus)를 경유하여 전송되고, 제어 정보는 제어 버스(control bus)를 경유하여 전송되고, 주소 정보는 주소 버스(address bus)를 경유하여 전송된다. 본 발명은 디스플레이 데이터의 양이 많은 경우, 프로세서의 클록에 무관하게 디스플레이 데이터를 디스플레이하기 위한 것이므로, 데이터 버스에 한정하여 기술하기로 하겠다. 그러나, 이것이 데이터 버스에 본 발명을 적용하는 것을 한정하는 것은 아니며, 제어 버스나 주소 버스에도 적용될 수 있다.

<53> 버스 제어 장치는 각각의 주변 장치로부터 전송되는 데이터, 또는 각각의 주변 장치로 전송되는 데이터를 분류해서, 프로세서에게 원활하게 전송되도록 하는

교통 정리를 한다. 프로세서가 버스를 경유하여 주변 장치와 데이터를 주고받을 때, 프로세서의 클럭에 맞추어 데이터, 제어 정보, 주소 정보를 주고받기 때문에, 프로세서, 버스, 버스 제어 장치, 주변 장치가 모두 동기되어 있어야 한다. 본 발명에 따르면, 버스의 부담을 덜고, 프로세서의 클럭과 무관하게 동작할 수 있도록, 제 2 메모리 또는 출력 장치는 프로세서와 동기되어 있지 않은 데이터 버스인 비동기 데이터 버스에 연결되어 있다. 동기 데이터 버스를 경유하여 데이터를 전송할 것인지, 비동기 데이터 버스를 경유하여 데이터를 전송할 것인지에 대한 결정은 데이터의 목적지, 즉 프로세서로부터 출력되는 주소 정보를 통하여 행한다.

<54> 만약, 맥스(321)가 프로세서(31)로부터 프로세서(31)와 동기되어 있는 데이터 버스인 동기 데이터 버스에 연결된 제 1 메모리의 주소를 나타내는 주소 정보를 수신한 경우라면, 프로세서(31)로부터 제 1 데이터를 수신하고, 수신된 제 1 데이터를 동기 데이터 버스를 경유하여 제 1 메모리로 전송하거나, 또는 제 1 메모리로부터 동기 데이터 버스를 경유하여 제 2 데이터를 수신하고, 수신된 제 2 데이터를 프로세서(31)로 전송한다. 만약, 맥스(321)가 프로세서(31)로부터 프로세서(31)와 동기되어 있지 않은 데이터 버스인 비동기 데이터 버스에 연결된 제 2 메모리의 주소를 나타내는 주소 정보를 수신한 경우라면, 프로세서(31)로부터 제 3 데이터를 수신하여 버퍼(322)로 전송하거나, 또는 버퍼(323)로부터 제 4 데이터를 수신하여 프로세서(31)로 전송한다. 상기한 바와 같이, 동기 데이터 버스에 연결되어 있는 제 1 메모리에 대해서는 추가적인 장치 없이, 종래와 같이, 읽기/쓰기를 할 수 있으므로, 프로세서(31)와 동기 데이터 버스를 직접 연결시킨다. 그러나, 비동기 데이터 버스에 연결되어 있는 제 2 메모리는 프로세서의 클럭에 맞추어 읽기/쓰기를 할 수 없으므로, 프로세서(31)와 비동기 데이터 버스 중간에 버퍼를 두고 있다.

- <55> 버퍼(322)는 맥스(321)로부터 제 3 데이터를 수신하여 저장하고, 저장된 제 3 데이터를 비동기 데이터 버스를 경유하여 제 2 메모리로 전송하거나, 제 2 메모리로부터 비동기 데이터 버스를 경유하여 제 4 데이터를 수신하여 저장하고, 저장된 제 4 데이터를 맥스(321)로 전송한다. 상기한 바와 같이, 비동기 데이터 버스의 경우, 프로세서(31)의 데이터 입출력 속도와 관계없이 동작하기 때문에 프로세서(31)와 비동기 데이터 버스를 바로 연결하여 데이터를 전송할 수 없다. 따라서, 버퍼(322)라는 완충 지역을 두어, 제 3 데이터 또는 제 4 데이터의 경우, 프로세서(31)의 클럭에 관계없이 비동기 데이터 버스를 경유하여 전송될 수 있도록 하였다.
- <56> 도 4는 상기 도 3의 맥스의 상세 구성도이다.
- <57> 맥스(42)는 동기 데이터 버스 쓰기부(421), 동기 데이터 버스 읽기부(422), 버퍼 쓰기부(423), 및 버퍼 읽기부(424)로 구성된다.
- <58> 동기 데이터 버스 쓰기부(421)는 프로세서(41)로부터 프로세서와 동기되어 있는 데이터 버스인 동기 데이터 버스에 연결된 제 1 메모리의 주소를 나타내는 주소 정보를 수신하고, 프로세서(41)로부터 제 1 메모리에 대한 쓰기 요청을 나타내는 제어 정보를 수신한 경우, 프로세서(41)로부터 제 1 데이터를 수신하고, 수신된 제 1 데이터를 동기 데이터 버스를 경유하여 제 1 메모리로 전송한다. 프로세서(41)로부터 동기 데이터 버스에 연결된 제 1 메모리의 주소를 나타내는 주소 정보를 수신하였으므로, 동기 데이터 버스를 경유하여 데이터를 송신 또는 수신해야 한다는 것을 알 수 있고, 프로세서(41)로부터 제 1 메모리에 대한 쓰기 요청을 나타내는 제어 정보를 수신하였으므로, 데이터를 제 1 메모리로 전송해야 한다는 것을 알 수 있다.
- <59> 동기 데이터 버스 읽기부(422)는 프로세서(41)로부터 제 1 메모리의 주소를 나타내는 주소 정보를 수신하고, 프로세서(41)로부터 제 1 메모리에 대한 읽기 요청을 나타내는 제어 정보를 수신한 경우, 제 1 메모리로부터 동기 데이터 버스를 경유하여 제 2 데이터를 수신하고, 수

신된 데이터를 프로세서(41)로 전송한다. 프로세서(41)로부터 동기 데이터 버스에 연결된 제 1 메모리의 주소를 나타내는 주소 정보를 수신하였으므로, 동기 데이터 버스를 경유하여 데이터를 송신 또는 수신해야 한다는 것을 알 수 있고, 프로세서(41)로부터 제 1 메모리에 대한 읽기 요청을 나타내는 제어 정보를 수신하였으므로, 제 1 메모리로부터 데이터를 수신해야 한다는 것을 알 수 있다.

<60> 버퍼 쓰기부(423)는 프로세서(41)로부터 프로세서(41)와 동기되어 있지 않은 데이터 버스인 비동기 데이터 버스에 연결된 제 2 메모리의 주소를 나타내는 주소 정보를 수신하고, 프로세서(41)로부터 제 2 메모리에 대한 쓰기 요청을 나타내는 제어 정보를 수신한 경우, 프로세서(41)로부터 제 3 데이터를 수신하고, 수신된 제 3 데이터를 비동기 데이터 버스에 연결된 버퍼(43)로 전송한다. 프로세서(41)로부터 비동기 데이터 버스에 연결된 제 2 메모리의 주소를 나타내는 주소 정보를 수신하였으므로, 비동기 데이터 버스를 경유하여 데이터를 송신 또는 수신해야 한다는 것을 알 수 있고, 프로세서(41)로부터 제 2 메모리에 대한 쓰기 요청을 나타내는 제어 정보를 수신하였고, 데이터를 직접 제 2 메모리에 송신할 수 없으므로, 비동기 데이터 버스에 연결된 버퍼(43)로 데이터를 송신해야 한다는 것을 알 수 있다.

<61> 버퍼 읽기부(424)는 프로세서(41)로부터 제 2 메모리의 주소를 나타내는 주소 정보를 수신하고, 프로세서(41)로부터 제 2 메모리에 대한 읽기 요청을 나타내는 제어 정보를 수신한 경우, 버퍼(43)로부터 제 4 데이터를 수신하고, 수신된 제 4 데이터를 프로세서(41)로 전송한다. 프로세서(41)로부터 비동기 데이터 버스에 연결된 제 2 메모리의 주소를 나타내는 주소 정보를 수신하였으므로, 비동기 데이터 버스를 경유하여 데이터를 송신 또는 수신해야 한다는 것을 알 수 있고, 프로세서(41)로부터 제 2 메모리에 대한 읽기 요청을 나타내는 제어 정보를 수신

하였고, 데이터를 직접 제 2 메모리로부터 수신할 수 없으므로, 비동기 데이터 버스에 연결된 버퍼(43)로부터 데이터를 수신해야 한다는 것을 알 수 있다.

<62> 도 5는 상기 도 4의 동기 데이터 버스 쓰기부의 상세 구성도이다.

<63> 동기 데이터 버스 쓰기부는 동기 데이터 버스 사용 요청부(51), 동기 프로세서 데이터 송신 요청부(52), 동기 프로세서 데이터 수신부(53), 및 동기 데이터 버스 데이터 전송부(54)로 구성된다.

<64> 동기 데이터 버스 사용 요청부(51)는 프로세서로부터 제 1 메모리의 주소를 나타내는 주소 정보를 수신한 경우, 동기 데이터 버스를 제어하는 동기 데이터 버스 제어 장치로 동기 데이터 버스에 대한 사용 요청을 나타내는 제어 정보를 생성하여 송신한다. 프로세서로부터 제 1 메모리의 주소를 나타내는 주소 정보를 수신한 경우에는 동기 데이터 버스를 경유하여 데이터를 송신 또는 수신하여야 하므로, 먼저 동기 데이터 버스가 다른 장치에 의하여 사용되고 있는지를 알아보아야 한다. 이것을 위해, 동기 데이터 버스를 제어하는 동기 데이터 버스 제어 장치로 동기 데이터 버스에 대한 사용 요청을 나타내는 제어 정보를 생성하여 송신한다. 동기 데이터 버스 제어 장치가 동기 데이터 버스에 대한 사용 요청을 나타내는 제어 정보를 수신하면, 동기 데이터 버스가 사용 중인지를 조사하고, 사용 중이면, 사용 부정 응답을 나타내는 제어 정보를 생성하여 송신하고, 미사용 중이면, 사용 긍정 응답을 나타내는 제어 정보를 생성하여 송신한다.

<65> 동기 프로세서 데이터 송신 요청부(52)는 동기 데이터 버스 제어 장치로부터 동기 데이터 버스에 대한 사용 긍정 응답을 나타내는 제어 정보를 수신하고, 프로세서로부터 제 1 메모리에 대한 쓰기 요청을 나타내는 제어 정보를 수신한 경우, 프로세서로 제 1 데이터에 대한 송신 요청을 나타내는 제어 정보를 생성하여 송신한다. 동기 데이터 버스 제어 장치로부터 동기

데이터 버스에 대한 사용 긍정 응답을 나타내는 제어 정보를 수신하였으므로, 동기 데이터 버스가 미사용 중임을 알 수 있다. 이때, 동기 프로세서 데이터 송신 요청부(52)가 프로세서로부터 제 1 메모리에 대한 쓰기 요청을 나타내는 제어 정보를 수신한 경우, 프로세서로 데이터를 출력하라는 요청, 즉 제 1 데이터에 대한 송신 요청을 나타내는 제어 정보를 생성하여 송신하게 된다. 프로세서가 제 1 데이터에 대한 송신 요청을 나타내는 제어 정보를 수신하면, 제 1 데이터를 출력할 준비를 하고, 준비가 완료된 경우, 제 1 데이터에 대한 송신 긍정 응답을 나타내는 제어 정보를 생성하여 송신한다.

<66> 동기 프로세서 데이터 수신부(53)는 프로세서로부터 제 1 데이터에 대한 송신 긍정 응답을 나타내는 제어 정보를 수신한 경우, 프로세서로부터 제 1 데이터를 수신한다. 동기 프로세서 데이터 수신부(53)가 프로세서로부터 제 1 데이터에 대한 송신 긍정 응답을 나타내는 제어 정보를 수신하였으므로, 이어서 프로세서가 제 1 데이터를 송신한다는 것을 알 수 있다. 동기 프로세서 데이터 수신부(53)는 제 1 데이터를 수신할 준비를 하고 있다가, 제 1 데이터가 도착하면 수신한다.

<67> 동기 데이터 버스 데이터 전송부(54)는 동기 프로세서 데이터 수신부(53)에서 수신된 제 1 데이터를 동기 데이터 버스를 경유하여 제 1 메모리로 전송한다.

<68> 도 6은 상기 도 4의 동기 데이터 버스 읽기부의 상세 구성도이다.

<69> 동기 데이터 버스 읽기부는 동기 데이터 버스 사용 요청부(61), 제 1 메모리 데이터 전송 요청부(62), 동기 데이터 버스 데이터 수신부(63), 및 동기 프로세서 데이터 전송부(64)로 구성된다.

<70> 동기 데이터 버스 사용 요청부(61)는 프로세서로부터 제 1 메모리의 주소를 나타내는 주소 정보를 수신한 경우, 동기 데이터 버스를 제어하는 동기 데이터 버스 제어 장치로 동기 데이터 버스에 대한 사용 요청을 한다. 프로세서로부터 제 1 메모리의 주소를 나타내는 주소 정보를 수신한 경우에는 동기 데이터 버스를 경유하여 데이터를 송신 또는 수신하여야 하므로, 먼저 동기 데이터 버스가 다른 장치에 의하여 사용되고 있는 지를 알아보아야 한다. 이것을 위해, 동기 데이터 버스를 제어하는 동기 데이터 버스 제어 장치로 동기 데이터 버스에 대한 사용 요청을 나타내는 제어 정보를 생성하여 송신한다. 동기 데이터 버스 제어 장치가 동기 데이터 버스에 대한 사용 요청을 나타내는 제어 정보를 수신하면, 동기 데이터 버스가 사용 중인지를 조사하고, 사용 중이면, 사용 부정 응답을 나타내는 제어 정보를 생성하여 송신하고, 미사용 중이면, 사용 긍정 응답을 나타내는 제어 정보를 생성하여 송신한다.

<71> 제 1 메모리 데이터 전송 요청부(62)는 동기 데이터 버스 제어 장치로부터 동기 데이터 버스에 대한 사용 긍정 응답을 나타내는 제어 정보를 수신하고, 프로세서로부터 제 1 메모리에 대한 읽기 요청을 나타내는 제어 정보를 수신한 경우, 제 1 메모리로 제 2 데이터에 대한 송신 요청을 나타내는 제어 정보를 생성하여 송신한다. 동기 데이터 버스 제어 장치로부터 동기 데이터 버스에 대한 사용 긍정 응답을 나타내는 제어 정보를 수신하였으므로, 동기 데이터 버스가 미사용 중임을 알 수 있다. 이때, 제 1 메모리 데이터 전송 요청부(62)가 프로세서로부터 제 1 메모리에 대한 읽기 요청을 나타내는 제어 정보를 수신한 경우, 제 1 메모리로 데이터를 출력하라는 요청, 즉 제 2 데이터에 대한 송신 요청을 나타내는 제어 정보를 생성하여 송신하게 된다. 제 1 메모리가 제 2 데이터에 대한 송신 요청을 나타내는 제어 정보를 수신하면, 제 2 데이터를 출력할 준비를 하고, 준비가 완료된 경우, 제 2 데이터에 대한 송신 긍정 응답을 나타내는 제어 정보를 생성하여 송신한다.

- <72> 동기 데이터 버스 데이터 수신부(63)는 제 1 메모리로부터 제 2 데이터에 대한 송신 긍정 응답을 나타내는 제어 정보를 수신한 경우, 제 1 메모리로부터 동기 데이터 버스를 경유하여 제 2 데이터를 수신한다. 동기 데이터 버스 데이터 수신부(63)가 제 1 메모리로부터 제 2 데이터에 대한 송신 긍정 응답을 나타내는 제어 정보를 수신하였으므로, 이어서 제 1 메모리가 제 2 데이터를 송신한다는 것을 알 수 있다. 동기 데이터 버스 데이터 수신부(63)는 제 2 데이터를 수신할 준비를 하고 있다가, 제 2 데이터가 도착하면 수신한다.
- <73> 동기 프로세서 데이터 전송부(64)는 동기 데이터 버스 데이터 수신부(63)에서 수신된 제 2 데이터를 프로세서로 전송한다.
- <74> 도 7은 상기 도 4의 버퍼 쓰기부의 상세 구성도이다.
- <75> 버퍼 쓰기부는 버퍼 쓰기 요청부(71), 비동기 프로세서 데이터 송신 요청부(72), 비동기 프로세서 데이터 수신부(73), 및 버퍼 데이터 전송부(74)로 구성된다.
- <76> 버퍼 쓰기 요청부(71)는 프로세서로부터 제 2 메모리의 주소를 나타내는 주소 정보를 수신하고, 프로세서로부터 제 2 메모리에 대한 쓰기 요청을 나타내는 제어 정보를 수신한 경우, 비동기 버스에 연결된 버퍼로 버퍼에 대한 쓰기 요청을 나타내는 제어 정보를 생성하여 송신한다. 프로세서로부터 제 2 메모리의 주소를 나타내는 주소 정보를 수신하고, 제 2 메모리에 대한 쓰기 요청을 나타내는 제어 정보를 수신한 경우에는 비동기 데이터 버스를 경유하여 데이터를 제 2 메모리로 송신하여야 하므로, 먼저 버퍼가 비어 있는 지를 알아보아야 한다. 이것을 위해, 버퍼로 버퍼에 대한 쓰기 요청을 나타내는 제어 정보를 생성하여 송신한다. 버퍼가 버퍼에 대한 쓰기 요청을 나타내는 제어 정보를 수신하면, 버퍼가 비어 있는 지를 조사하고, 버퍼가 비어 있지 않으면, 쓰기 부정 응답을 나타내는 제어 정보를 생성하여 송신하고, 비어 있으면, 쓰기 긍정 응답을 나타내는 제어 정보를 생성하여 송신한다.

- <77> 비동기 프로세서 데이터 송신 요청부(72)는 버퍼로부터 버퍼에 대한 쓰기 긍정 응답을 나타내는 제어 정보를 수신한 경우, 프로세서로 제 3 데이터에 대한 송신 요청을 나타내는 제어 정보를 생성하여 송신한다. 버퍼로부터 버퍼에 대한 쓰기 긍정 응답을 나타내는 제어 정보를 수신하였으므로, 버퍼가 비어 있음을 알 수 있다. 이때, 비동기 프로세서 데이터 송신 요청부(72)가 프로세서로 데이터를 출력하라는 요청, 즉 제 3 데이터에 대한 송신 요청을 나타내는 제어 정보를 생성하여 송신하게 된다. 프로세서가 제 3 데이터에 대한 송신 요청을 나타내는 제어 정보를 수신하면, 제 3 데이터를 출력할 준비를 하고, 준비가 완료된 경우, 제 3 데이터에 대한 송신 긍정 응답을 나타내는 제어 정보를 생성하여 송신한다.
- <78> 비동기 프로세서 데이터 수신부(73)는 프로세서로부터 제 3 데이터에 대한 전송 긍정 응답을 나타내는 제어 정보를 수신한 경우, 프로세서로부터 제 3 데이터를 수신한다. 비동기 프로세서 데이터 수신부(73)가 프로세서로부터 제 3 데이터에 대한 송신 긍정 응답을 나타내는 제어 정보를 수신하였으므로, 이어서 프로세서가 제 3 데이터를 송신한다는 것을 알 수 있다. 비동기 프로세서 데이터 수신부(73)는 제 3 데이터를 수신할 준비를 하고 있다가, 제 3 데이터가 도착하면 수신한다.
- <79> 버퍼 데이터 전송부(74)는 비동기 프로세서 데이터 수신부(73)에서 수신된 제 3 데이터를 버퍼로 전송한다.
- <80> 도 8은 상기 도 4의 버퍼 읽기부의 상세 구성도이다.
- <81> 버퍼 읽기부는 버퍼 읽기 요청부(81), 버퍼 데이터 전송 요청부(82), 버퍼 데이터 수신부(83), 및 비동기 프로세서 데이터 전송부(84)로 구성된다.

<82> 버퍼 읽기 요청부(81)는 프로세서로부터 제 2 메모리의 주소를 나타내는 주소 정보를 수신하고, 프로세서로부터 제 2 메모리에 대한 읽기 요청을 나타내는 제어 정보를 수신한 경우, 비동기 데이터 버스에 연결된 버퍼로 버퍼에 대한 읽기 요청을 나타내는 제어 정보를 생성하여 송신한다. 프로세서로부터 제 2 메모리의 주소를 나타내는 주소 정보를 수신하고, 제 2 메모리에 대한 읽기 요청을 나타내는 제어 정보를 수신한 경우에는 비동기 데이터 버스를 경유하여 제 2 메모리로부터 데이터를 수신하여야 하므로, 먼저 버퍼에 데이터가 저장되어 있는 지를 알아보아야 한다. 이것을 위해, 버퍼로 버퍼에 대한 쓰기 요청을 나타내는 제어 정보를 생성하여 송신한다. 버퍼가 버퍼에 대한 읽기 요청을 나타내는 제어 정보를 수신하면, 버퍼에 데이터가 저장되어 있는 지를 조사하고, 버퍼에 데이터가 저장되어 있지 않으면, 읽기 부정 응답을 나타내는 제어 정보를 생성하여 송신하고, 데이터가 저장되어 있으면, 읽기 긍정 응답을 나타내는 제어 정보를 생성하여 송신한다.

<83> 버퍼 데이터 전송 요청부(82)는 버퍼로부터 버퍼에 대한 읽기 긍정 응답을 나타내는 제어 정보를 수신한 경우, 버퍼로 제 4 데이터에 대한 전송 요청을 나타내는 제어 정보를 생성하여 송신한다. 버퍼로부터 버퍼에 대한 읽기 긍정 응답을 나타내는 제어 정보를 수신하였으므로, 버퍼에 데이터가 저장되어 있음을 알 수 있다. 이때, 버퍼 데이터 전송 요청부(82)가 버퍼로 데이터를 출력하라는 요청, 즉 제 4 데이터에 대한 전송 요청을 나타내는 제어 정보를 생성하여 송신하게 된다. 버퍼가 제 4 데이터에 대한 전송 요청을 나타내는 제어 정보를 수신하면, 제 4 데이터를 출력할 준비를 하고, 준비가 완료된 경우, 제 4 데이터에 대한 전송 긍정 응답을 나타내는 제어 정보를 생성하여 송신한다.

<84> 버퍼 데이터 수신부(83)는 버퍼로부터 제 4 데이터에 대한 전송 긍정 응답을 나타내는 제어 정보를 수신한 경우, 버퍼로부터 제 4 데이터를 수신한다. 버퍼 데이터 수신부(83)가 버

퍼로부터 제 4 데이터에 대한 송신 긍정 응답을 나타내는 제어 정보를 수신하였으므로, 이어서 버퍼가 제 4 데이터를 송신한다는 것을 알 수 있다. 버퍼 데이터 수신부(83)는 제 4 데이터를 수신할 준비를 하고 있다가, 제 4 데이터가 도착하면 수신한다.

<85> 비동기 프로세서 데이터 전송부(84)는 버퍼 데이터 수신부(83)에서 수신된 제 4 데이터를 프로세서로 전송한다.

<86> 도 9는 상기 도 3의 버퍼의 상세 구성도이다.

<87> 버퍼는 비동기 데이터 버스 쓰기부(921) 및 비동기 데이터 버스 읽기부(922)로 구성된다.

<88> 비동기 데이터 버스 쓰기부(921)는 프로세서와 연결된 맥스로부터 프로세서와 동기되어 있지 않은 데이터 버스인 비동기 데이터 버스에 연결된 버퍼에 대한 쓰기 요청을 나타내는 제어 정보를 수신한 경우, 맥스로부터 제 3 데이터를 수신하여 저장하고, 저장된 제 3 데이터를 비동기 데이터 버스를 경유하여 제 2 메모리로 전송한다. 맥스(91)로부터 비동기 데이터 버스에 연결된 버퍼에 대한 쓰기 요청을 나타내는 제어 정보를 수신하였으므로, 비동기 데이터 버스에 연결된 제 2 메모리로 데이터를 송신해야 한다는 것을 알 수 있다

<89> 비동기 데이터 버스 읽기부(922)는 맥스로부터 버퍼에 대한 읽기 요청을 나타내는 제어 정보를 수신한 경우, 제 2 메모리로부터 비동기 데이터 버스를 경유하여 제 4 데이터를 수신하여 저장하고, 저장된 제 4 데이터를 맥스로 전송한다. 맥스(91)로부터 비동기 데이터 버스에 연결된 버퍼에 대한 읽기 요청을 나타내는 제어 정보를 수신하였으므로, 비동기 데이터 버스에 연결된 제 2 메모리로부터 데이터를 수신해야 한다는 것을 알 수 있다.

<90> 도 10은 상기 도 9의 비동기 데이터 버스 쓰기부의 상세 구성도이다.

- <91> 비동기 데이터 버스 쓰기부는 맥스 데이터 전송 요청부(101), 맥스 데이터 수신 저장부(102), 비동기 데이터 버스 사용 요청부(103), 및 비동기 데이터 버스 데이터 전송부(104)로 구성된다.
- <92> 버퍼 쓰기 긍정 응답 송신부(101)는 프로세서와 연결된 맥스로부터 상기 버퍼에 대한 쓰기 요청을 나타내는 제어 정보를 수신하고, 제 3 데이터를 저장할 수 있는 공간이 존재하는 경우, 맥스로 제 3 데이터에 대한 전송 요청을 나타내는 제어 정보를 생성하여 송신한다. 맥스로부터 버퍼에 대한 쓰기 요청을 나타내는 제어 정보를 수신한 경우, 버퍼에 쓰고자 하는 데이터인 제 3 데이터를 저장할 수 있는 공간이 버퍼에 존재하는 지를 알아보아야 한다. 버퍼에 제 3 데이터를 저장할 수 있는 공간이 존재하는 경우, 맥스로 버퍼에 대한 쓰기 긍정 응답을 나타내는 제어 정보를 생성하여 송신한다. 맥스가 버퍼에 대한 쓰기 긍정 응답을 나타내는 제어 정보를 나타내는 제어 정보를 수신하면, 프로세서로 데이터를 출력하라는 요청, 즉 제 3 데이터에 대한 송신 요청을 나타내는 제어 정보를 생성하여 송신하게 된다. 프로세서가 제 3 데이터를 송신하면, 맥스가 이것을 수신하여 버퍼로 전송하게 된다.
- <93> 맥스 데이터 수신 저장부(102)는 맥스로부터 제 3 데이터를 수신하여 저장한다.
- <94> 비동기 데이터 버스 사용 요청부(103)는 맥스 데이터 수신 저장부(102)에 제 3 데이터가 저장된 경우, 비동기 데이터 버스를 제어하는 비동기 데이터 버스 제어 장치로 비동기 데이터 버스에 대한 사용 요청을 나타내는 제어 정보를 생성하여 송신한다. 맥스 데이터 수신 저장부(102)에 제 3 데이터에 대한 저장이 완료된 경우, 비동기 데이터 버스를 경유하여 데이터를 송신하여야 하므로, 먼저 비동기 데이터 버스가 다른 장치에 의하여 사용되고 있는 지를 알아보아야 한다. 이것을 위해, 비동기 데이터 버스를 제어하는 비동기 데이터 버스 제어 장치로 비동기 데이터 버스에 대한 사용 요청을 나타내는 제어 정보를 생성하여 송신한다. 비동기 데이

터 버스 제어 장치가 비동기 데이터 버스에 대한 사용 요청을 나타내는 제어 정보를 수신하면, 비동기 데이터 버스가 사용 중인지를 조사하고, 사용 중이면, 사용 부정 응답을 나타내는 제어 정보를 생성하여 송신하고, 미사용 중이면, 사용 긍정 응답을 나타내는 제어 정보를 생성하여 송신한다.

<95> 비동기 데이터 버스 데이터 전송부(104)는 비동기 데이터 버스 제어 장치로부터 비동기 데이터 버스에 대한 사용 긍정 응답을 나타내는 제어 정보를 수신한 경우, 맥스 데이터 수신 저장부에 저장된 제 3 데이터를 비동기 데이터 버스를 경유하여 제 2 메모리로 전송한다.

<96> 도 11은 상기 도 9의 비동기 데이터 버스 읽기부의 구성도이다.

<97> 비동기 데이터 버스 읽기부는 비동기 데이터 버스 사용 요청부(111), 비동기 데이터 버스 데이터 전송 요청부(112), 비동기 데이터 버스 데이터 수신 저장부(113), 및 맥스 데이터 전송부(114)로 구성된다.

<98> 비동기 데이터 버스 사용 요청부(111)는 프로세서와 연결된 맥스로부터 버퍼에 대한 읽기 요청을 나타내는 제어 정보를 수신하고, 제 4 데이터를 저장할 수 있는 공간이 존재하는 경우, 비동기 데이터 버스를 제어하는 비동기 데이터 버스 제어 장치로 비동기 데이터 버스에 대한 사용 요청을 나타내는 제어 정보를 생성하여 송신한다. 맥스로부터 버퍼에 대한 읽기 요청을 나타내는 제어 정보를 수신한 경우, 버퍼에 쓰고자 하는 데이터인 제 4 데이터를 저장할 수 있는 공간이 버퍼에 존재하는 지를 알아보아야 한다. 버퍼에 제 3 데이터를 저장할 수 있는 공간이 존재하는 경우, 비동기 데이터 버스를 경유하여 데이터를 수신하여야 하므로, 먼저 비동기 데이터 버스가 다른 장치에 의하여 사용되고 있는 지를 알아보아야 한다. 이것을 위해, 비동기 데이터 버스를 제어하는 비동기 데이터 버스 제어 장치로 비동기 데이터 버스에 대한 사용 요청을 나타내는 제어 정보를 생성하여 송신한다. 비동기 데이터 버스 제어 장치가 비동

기 데이터 버스에 대한 사용 요청을 나타내는 제어 정보를 수신하면, 비동기 데이터 버스가 사용 중인지를 조사하고, 사용 중이면, 사용 부정 응답을 나타내는 제어 정보를 생성하여 송신하고, 미사용 중이면, 사용 긍정 응답을 나타내는 제어 정보를 생성하여 송신한다.

<99> 비동기 데이터 버스 데이터 전송 요청부(112)는 비동기 데이터 버스 제어 장치로부터 비동기 데이터 버스에 대한 사용 긍정 응답을 나타내는 제어 정보를 수신한 경우, 비동기 데이터 버스 제어 장치로 제 4 데이터에 대한 데이터 전송 요청을 나타내는 제어 정보를 생성하여 송신한다.

<100> 비동기 데이터 버스 데이터 수신 저장부(113)는 비동기 데이터 버스 제어 장치로부터 제 4 데이터에 대한 전송 긍정 응답을 수신한 경우, 제 2 메모리로부터 비동기 데이터 버스를 경유하여 제 4 데이터를 수신하여 저장한다.

<101> 맥스 데이터 전송부(114)는 비동기 데이터 버스 데이터 수신 저장부(113)에 제 4 데이터가 저장된 경우, 버퍼에 대한 읽기 긍정 응답을 나타내는 제어 정보를 생성하여 송신하고, 맥스로부터 제 4 데이터에 대한 전송 요청을 나타내는 제어 정보를 수신한 경우, 제 4 데이터에 대한 전송 긍정 응답을 나타내는 제어 정보를 생성하여 송신하고, 비동기 데이터 버스 데이터 수신 저장부(113)에 저장된 제 4 데이터를 맥스로 전송한다. 맥스가 버퍼에 대한 읽기 긍정 응답을 나타내는 제어 정보를 나타내는 제어 정보를 수신하면, 버퍼로 데이터를 출력하라는 요청, 즉 제 4 데이터에 대한 전송 요청을 나타내는 제어 정보를 생성하여 송신하게 된다. 프로세서가 제 4 데이터를 전송하면, 맥스가 이것을 수신하여 프로세서로 전송하게 된다.

<102> 도 12는 본 발명의 일 실시예에 따른 프로세서 버스 연결 방법의 흐름도이다.

- <103> 프로세서로부터 프로세서와 동기되어 있는 데이터 버스인 동기 데이터 버스에 연결된 제 1 메모리의 주소를 나타내는 주소 정보를 수신한 경우(121), 프로세서로부터 제 1 데이터를 수신하고, 수신된 제 1 데이터를 상기 동기 데이터 버스를 경유하여 제 1 메모리로 전송하거나(122), 또는 제 1 메모리로부터 동기 데이터 버스를 경유하여 제 2 데이터를 수신하고, 수신된 제 2 데이터를 프로세서로 전송한다(123).
- <104> 프로세서로부터 프로세서와 동기되어 있지 않은 데이터 버스인 비동기 데이터 버스에 연결된 제 2 메모리의 주소를 나타내는 주소 정보를 수신한 경우(121), 프로세서로부터 제 3 데이터를 수신하여 전송하고(124), 전송된 제 3 데이터를 저장하고, 저장된 제 3 데이터를 비동기 데이터 버스를 경유하여 제 2 메모리로 전송하거나(125), 제 2 메모리로부터 비동기 데이터 버스를 경유하여 제 4 데이터를 수신하여 저장하고, 저장된 제 4 데이터를 전송하고(126), 전송된 제 4 데이터를 수신하여 프로세서로 전송한다(127).
- <105> 도 13은 본 발명의 일 실시예에 따른 먹싱 방법의 흐름도이다.
- <106> 프로세서로부터 프로세서와 동기되어 있는 데이터 버스인 동기 데이터 버스에 연결된 제 1 메모리의 주소를 나타내는 주소 정보를 수신하고(131), 프로세서로부터 제 1 메모리에 대한 쓰기 요청을 나타내는 제어 정보를 수신한 경우(132), 프로세서로부터 제 1 데이터를 수신하고, 수신된 제 1 데이터를 동기 데이터 버스를 경유하여 제 1 메모리로 전송한다(133).
- <107> 프로세서로부터 제 1 메모리의 주소를 나타내는 주소 정보를 수신하고(131), 프로세서로부터 제 1 메모리에 대한 읽기 요청을 나타내는 제어 정보를 수신한 경우(132), 제 1 메모리로부터 동기 데이터 버스를 경유하여 제 2 데이터를 수신하고, 수신된 데이터를 프로세서로 전송한다(134).

- <108> 프로세서로부터 프로세서와 동기되어 있지 않은 데이터 버스인 비동기 데이터 버스에 연결된 제 2 메모리의 주소를 나타내는 주소 정보를 수신하고(131), 프로세서로부터 제 2 메모리에 대한 쓰기 요청을 나타내는 제어 정보를 수신한 경우(135), 프로세서로부터 제 3 데이터를 수신하고, 수신된 제 3 데이터를 비동기 데이터 버스에 연결된 버퍼로 전송한다(136).
- <109> 프로세서로부터 제 2 메모리의 주소를 나타내는 주소 정보를 수신하고(131), 프로세서로부터 제 2 메모리에 대한 읽기 요청을 나타내는 제어 정보를 수신한 경우(135), 버퍼로부터 제 4 데이터를 수신하고, 수신된 제 4 데이터를 프로세서로 전송한다(137).
- <110> 도 14는 상기 도 13의 131, 132, 133 단계의 상세 흐름도이다.
- <111> 프로세서로부터 제 1 메모리의 주소를 나타내는 주소 정보를 수신한 경우(141), 동기 데이터 버스를 제어하는 동기 데이터 버스 제어 장치로 동기 데이터 버스에 대한 사용 요청을 나타내는 제어 정보를 생성하여 송신한다(142).
- <112> 이어서, 동기 데이터 버스 제어 장치로부터 동기 데이터 버스에 대한 사용 긍정 응답을 나타내는 제어 정보를 수신하고(143), 프로세서로부터 제 1 메모리에 대한 쓰기 요청을 나타내는 제어 정보를 수신한 경우(144), 프로세서로 제 1 데이터에 대한 송신 요청을 나타내는 제어 정보를 생성하여 송신한다(145). 일반적으로, 프로세서는 주소 정보와 제어 정보를 동시에 출력하므로, 141 단계와 144 단계는 동시에 수행될 수도 있다.
- <113> 이어서, 프로세서로부터 제 1 데이터에 대한 송신 긍정 응답을 나타내는 제어 정보를 수신한 경우(146), 프로세서로부터 제 1 데이터를 수신한다(147). 이어서, 수신된 제 1 데이터를 동기 데이터 버스를 경유하여 제 1 메모리로 전송한다(148).
- <114> 도 15는 상기 도 13의 131, 132, 134 단계의 상세 흐름도이다.

<115> 프로세서로부터 제 1 메모리의 주소를 나타내는 주소 정보를 수신한 경우(151), 동기 데이터 버스를 제어하는 동기 데이터 버스 제어 장치로 동기 데이터 버스에 대한 사용 요청을 한다(152). 이어서, 동기 데이터 버스 제어 장치로부터 동기 데이터 버스에 대한 사용 긍정 응답을 나타내는 제어 정보를 수신하고(153), 프로세서로부터 제 1 메모리에 대한 읽기 요청을 나타내는 제어 정보를 수신한 경우(154), 제 1 메모리로 제 2 데이터에 대한 송신 요청을 나타내는 제어 정보를 생성하여 송신한다(155). 일반적으로, 프로세서는 주소 정보와 제어 정보를 동시에 출력하므로, 151 단계와 154 단계는 동시에 수행될 수도 있다. 이어서, 제 1 메모리로부터 제 2 데이터에 대한 송신 긍정 응답을 나타내는 제어 정보를 수신한 경우(156), 제 1 메모리로부터 동기 데이터 버스를 경유하여 제 2 데이터를 수신한다(157). 이어서, 수신된 제 2 데이터를 프로세서로 전송한다(158).

<116> 도 16은 상기 도 13의 131, 135, 136 단계의 상세 흐름도이다.

<117> 프로세서로부터 제 2 메모리의 주소를 나타내는 주소 정보를 수신하고(161), 프로세서로부터 제 2 메모리에 대한 쓰기 요청을 나타내는 제어 정보를 수신한 경우(162), 비동기 버스에 연결된 버퍼로 버퍼에 대한 쓰기 요청을 나타내는 제어 정보를 생성하여 송신한다(163). 일반적으로, 프로세서는 주소 정보와 제어 정보를 동시에 출력하므로, 161 단계와 162 단계는 동시에 수행될 수도 있다. 이어서, 버퍼로부터 버퍼에 대한 쓰기 긍정 응답을 나타내는 제어 정보를 수신한 경우(164), 프로세서로 제 3 데이터에 대한 송신 요청을 나타내는 제어 정보를 생성하여 송신한다(165). 이어서, 프로세서로부터 제 3 데이터에 대한 전송 긍정 응답을 나타내는 제어 정보를 수신한 경우(166), 프로세서로부터 제 3 데이터를 수신한다(167). 이어서, 수신된 제 3 데이터를 버퍼로 전송한다(168).

<118> 도 17은 상기 도 13의 131, 135, 137 단계의 상세 흐름도이다.

<119> 프로세서로부터 제 2 메모리의 주소를 나타내는 주소 정보를 수신하고(171), 프로세서로부터 제 2 메모리에 대한 읽기 요청을 나타내는 제어 정보를 수신한 경우(172), 비동기 데이터 버스에 연결된 버퍼로 버퍼에 대한 읽기 요청을 나타내는 제어 정보를 생성하여 송신한다(173). 일반적으로, 프로세서는 주소 정보와 제어 정보를 동시에 출력하므로, 171 단계와 172 단계는 동시에 수행될 수도 있다. 이어서, 버퍼로부터 버퍼에 대한 읽기 긍정 응답을 나타내는 제어 정보를 수신한 경우(174), 버퍼로 제 4 데이터에 대한 전송 요청을 나타내는 제어 정보를 생성하여 송신한다(175). 이어서, 버퍼로부터 제 4 데이터에 대한 전송 긍정 응답을 나타내는 제어 정보를 수신한 경우(176), 버퍼로부터 제 4 데이터를 수신한다(177). 이어서, 수신된 제 4 데이터를 프로세서로 전송한다(178).

<120> 도 18은 본 발명의 일 실시예에 따른 버퍼링 방법의 흐름도이다.

<121> 프로세서와 연결된 맥스로부터 프로세서와 동기되어 있지 않은 데이터 버스인 비동기 데이터 버스에 연결된 버퍼에 대한 쓰기 요청을 나타내는 제어 정보를 수신한 경우(181), 맥스로부터 제 3 데이터를 수신하여 저장하고, 저장된 제 3 데이터를 비동기 데이터 버스를 경유하여 제 2 메모리로 전송한다(182).

<122> 맥스로부터 버퍼에 대한 읽기 요청을 나타내는 제어 정보를 수신한 경우(181), 제 2 메모리로부터 비동기 데이터 버스를 경유하여 제 4 데이터를 수신하여 저장하고, 저장된 제 4 데이터를 맥스로 전송한다(183).

<123> 도 19는 상기 도 18의 181, 182 단계의 상세 흐름도이다.

<124> 프로세서와 연결된 맥스로부터 버퍼에 대한 쓰기 요청을 나타내는 제어 정보를 수신하고(191), 제 3 데이터를 저장할 수 있는 공간이 존재하는 경우(192), 맥스로 버퍼에 대

한 쓰기 긍정 응답을 나타내는 제어 정보를 생성하여 송신한다(193). 이어서, 맥스로부터 제 3 데이터를 수신하여 저장한다(194). 이어서, 제 3 데이터가 저장된 경우(195), 비동기 데이터 버스를 제어하는 비동기 데이터 버스 제어 장치로 비동기 데이터 버스에 대한 사용 요청을 나타내는 제어 정보를 생성하여 송신한다(196). 이어서, 비동기 데이터 버스 제어 장치로부터 비동기 데이터 버스에 대한 사용 긍정 응답을 나타내는 제어 정보를 수신한 경우(197), 저장된 제 3 데이터를 비동기 데이터 버스를 경유하여 제 2 메모리로 전송한다(198).

<125> 도 20은 상기 도 18의 181, 183 단계의 상세 흐름도이다.

<126> 프로세서와 연결된 맥스로부터 버퍼에 대한 읽기 요청을 나타내는 제어 정보를 수신하고 (201), 제 4 데이터를 저장할 수 있는 공간이 존재하는 경우(202), 비동기 데이터 버스를 제어하는 비동기 데이터 버스 제어 장치로 비동기 데이터 버스에 대한 사용 요청을 나타내는 제어 정보를 생성하여 송신한다(203).

<127> 이어서, 비동기 데이터 버스 제어 장치로부터 비동기 데이터 버스에 대한 사용 긍정 응답을 나타내는 제어 정보를 수신한 경우(204), 비동기 데이터 버스 제어 장치로 제 4 데이터에 대한 데이터 전송 요청을 나타내는 제어 정보를 생성하여 송신한다(205). 이어서, 비동기 데이터 버스 제어 장치로부터 제 4 데이터에 대한 전송 긍정 응답을 수신한 경우(206), 제 2 메모리로부터 비동기 데이터 버스를 경유하여 제 4 데이터를 수신하여 저장한다(207). 이어서, 제 4 데이터가 저장된 경우, 맥스로 버퍼에 대한 읽기 긍정 응답을 나타내는 제어 정보를 생성하여 송신하고, 맥스로부터 제 4 데이터에 대한 전송 요청을 나타내는 제어 정보를 수신한 경우, 맥스로 제 4 데이터에 대한 전송 긍정 응답을 나타내는 제어 정보를 생성하여 송신하고, 맥스로 저장된 제 4 데이터를 맥스로 전송한다(208).

<128> 도 21 및 도 22는 본 발명의 일 실시예에 따른 동기 버스 및 비동기 버스 경유 방법의 흐름도이다.

<129> 입력 장치는 사용자로부터 입력 데이터를 수신하고, 수신된 입력 데이터를 프로세서와 동기되어 있는 버스인 동기 버스를 경유하여 프로세서 버스 연결 장치로 송신한다(211). 이어서, 프로세서 버스 연결 장치는 동기 버스를 경유하여 입력 데이터를 수신하고, 수신된 입력 데이터를 프로세서로 전송한다(212). 이어서, 프로세서는 전송된 입력 데이터로부터 제 1 데이터 또는 제 3 데이터를 생성하여 프로세서 버스 연결 장치로 송신한다(213). 이어서, 프로세서 버스 연결 장치는 제 1 데이터를 수신하고, 수신된 제 1 데이터를 동기 버스를 경유하여 제 1 메모리로 전송하거나(214), 제 3 데이터를 수신하여 저장하고, 저장된 제 3 데이터를 프로세서와 동기되어 있지 않은 비동기 버스를 경유하여 제 2 메모리로 전송한다(216).

<130> 이어서, 제 1 메모리는 동기 버스를 경유하여 제 1 데이터를 수신하여 저장한다(215). 이어서, 제 2 메모리는 비동기 버스를 경유하여 제 3 데이터를 수신하여 저장한다(217). 이어서, 제 1 메모리는 저장되어 있는 제 2 데이터를 동기 버스를 경유하여 송신한다(221). 이어서, 제 2 메모리는 저장되어 있는 제 4 데이터를 비동기 버스를 경유하여 송신한다(223). 이어서, 프로세서 버스 연결 장치는 동기 버스를 경유하여 제 2 데이터를 수신하고, 수신된 제 2 데이터를 프로세서로 전송하거나(222), 프로세서 버스 연결 장치는 비동기 버스를 경유하여 제 4 데이터를 수신하여 저장하고, 저장된 제 4 데이터를 프로세서로 전송한다(224). 이어서, 프로세서는 제 2 데이터 또는 제 4 데이터로부터 출력 데이터를 생성하여 송신한다(225). 이어서, 프로세서 버스 연결 장치는 출력 데이터를 수신하여 저장하고, 저장된 출력 데이터를 비동기 버스를 경유하여 출력 장치로 전송한다(226). 이어서, 출력 장치는 비동기 버스를 경유하여 출력 데이터를 수신하고, 수신된 출력 데이터를 사용자에게 출력하거나, 또는 제 2 메모리로

부터 비동기 버스를 경유하여 제 3 데이터를 수신하고, 수신된 제 3 데이터를 사용자에게 출력한다(227). 여기에서, 수신된 출력 데이터 또는 수신된 제 3 데이터가 디스플레이 데이터인 경우, 수신된 출력 데이터를 사용자에게 디스플레이한다.

<131> 동기 버스 제어 장치가 동기 버스에 대한 사용을 허가하고, 비동기 버스 제어 장치가 비동기 버스에 대한 사용을 허가하는 단계가 추가되는 경우, 211 단계는 수신된 입력 데이터를 사용이 허가된 동기 버스를 경유하여 송신하고, 212 단계는 사용이 허가된 동기 버스를 경유하여 입력 데이터를 수신하고, 214 단계는 수신된 제 1 데이터를 사용이 허가된 동기 버스를 경유하여 제 1 메모리로 전송하고, 216 단계는 저장된 제 3 데이터를 사용이 허가된 비동기 버스를 경유하여 제 2 메모리로 전송하고, 215 단계는 사용이 허가된 동기 버스를 경유하여 제 1 데이터를 수신하여 저장하고, 217 단계는 사용이 허가된 비동기 버스를 경유하여 제 3 데이터를 수신하여 저장하고, 221 단계는 제 2 데이터를 사용이 허가된 동기 버스를 경유하여 송신하고, 223 단계는 제 4 데이터를 사용이 허가된 비동기 버스를 경유하여 송신하고, 222 단계는 사용이 허가된 동기 버스를 경유하여 제 2 데이터를 수신하고, 수신된 제 2 데이터를 전송하고, 224 단계는 사용이 허가된 비동기 버스를 경유하여 제 4 데이터를 수신하여 저장하고, 저장된 제 4 데이터를 전송하고, 226 단계는 출력 데이터를 수신하여 저장하고, 저장된 출력 데이터를 사용이 허가된 비동기 버스를 경유하여 전송하고, 227 단계는 사용이 허가된 비동기 버스를 경유하여 출력 데이터를 수신하고, 수신된 출력 데이터를 사용자에게 출력하거나, 또는 제 2 메모리로부터 사용이 허가된 비동기 버스를 경유하여 제 3 데이터를 수신하고, 수신된 제 3 데이터를 출력한다.

<132> 브리지 DMA가 제 1 메모리로부터 동기 버스를 경유하여 제 2 데이터를 수신하고, 수신된 제 2 데이터를 비동기 버스를 경유하여 제 2 메모리로 전송하거나, 제 2 메모리로부터 비동기

버스를 경유하여 제 4 데이터를 수신하고, 수신된 제 4 데이터를 동기 버스를 경유하여 제 1 메모리로 전송하는 단계가 추가되는 경우, 215 단계는 동기 버스를 경유하여 제 1 데이터 또는 제 4 데이터를 수신하여 저장하고, 217 단계는 비동기 버스를 경유하여 제 3 데이터 또는 제 2 데이터를 수신하여 저장하고, 227 단계는 비동기 버스를 경유하여 출력 데이터를 수신하고, 수신된 출력 데이터를 사용자에게 출력하거나, 비동기 버스를 경유하여 제 3 데이터를 수신하고, 수신된 제 3 데이터를 사용자에게 출력하거나, 또는 비동기 버스를 경유하여 제 1 데이터를 수신하고, 수신된 제 1 데이터를 사용자에게 출력한다.

<133> 한편, 상술한 본 발명의 실시예들은 컴퓨터에서 실행될 수 있는 프로그램으로 작성가능하고, 컴퓨터로 읽을 수 있는 기록매체를 이용하여 상기 프로그램을 동작시키는 범용 디지털 컴퓨터에서 구현될 수 있다. 상기 컴퓨터로 읽을 수 있는 기록 매체는 마그네틱 저장매체(예를 들면, 롬, 플로피 디스크, 하드디스크 등), 광학적 판독 매체(예를 들면, 씨디롬, 디브이디 등) 및 캐리어 웨이브(예를 들면, 인터넷을 통한 전송)와 같은 저장매체를 포함한다.

<134> 이제까지 본 발명에 대하여 그 바람직한 실시예들을 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로, 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

【발명의 효과】

<135> 본 발명에 따르면 프로세서가 처리하는 일반적인 데이터는 프로세서와 동기

되어 있는 동기 버스를 경유하여 전송하고, 디스플레이 데이터는 프로세서와 동기되어 있지 않은 비동기 버스를 경유하여 전송함으로서, 디스플레이 화면의 대형화, 고화질화에 따라 디스플레이 장치에 필요한 데이터 양이 증가하더라도, 프로세서의 작업 공간 메모리의 대역폭에는 영향을 주지 않게 되어, 프로세서가 지향하는 최고의 성능을 달성할 수 있다는 효과가 있다. 또한, 디스플레이 장치와 디스플레이 메모리 등 디스플레이에 관련된 부분은 프로세서의 클럭과 무관하게 분리되어 설계될 수 있기 때문에, 이 부분만을 고속으로 동작할 수 있도록 설계함으로서, 전체를 고속으로 동작할 수 있도록 설계해야 한다는 부담을 덜 수 있고, 고속으로 동작할 경우의 전력 소비 증가를 방지한다는 효과가 있다. 나아가, 디스플레이 메모리의 대역폭을 프로세서의 성능과 관계없이 설정할 수 있다는 효과가 있다. 즉, 디스플레이 메모리에 대한 선택의 폭을 확대하였다는 효과가 있다.

【특허청구범위】**【청구항 1】**

프로세서로부터 상기 프로세서와 동기되어 있는 데이터 버스인 동기 데이터 버스에 연결된 제 1 메모리의 주소를 나타내는 주소 정보를 수신한 경우, 상기 프로세서로부터 제 1 데이터를 수신하고, 상기 수신된 제 1 데이터를 상기 동기 데이터 버스를 경유하여 상기 제 1 메모리로 전송하거나, 또는 상기 제 1 메모리로부터 상기 동기 데이터 버스를 경유하여 제 2 데이터를 수신하고, 상기 수신된 제 2 데이터를 상기 프로세서로 전송하고, 상기 프로세서로부터 상기 프로세서와 동기되어 있지 않은 데이터 버스인 비동기 데이터 버스에 연결된 제 2 메모리의 주소를 나타내는 주소 정보를 수신한 경우, 상기 프로세서로부터 제 3 데이터를 수신하여 버퍼로 전송하거나, 또는 상기 버퍼로부터 제 4 데이터를 수신하여 상기 프로세서로 전송하는 맥스; 및

상기 맥스로부터 상기 제 3 데이터를 수신하여 저장하고, 상기 저장된 제 3 데이터를 상기 비동기 데이터 버스를 경유하여 상기 제 2 메모리로 전송하거나, 상기 제 2 메모리로부터 상기 비동기 데이터 버스를 경유하여 제 4 데이터를 수신하여 저장하고, 상기 저장된 제 4 데이터를 상기 맥스로 전송하는 버퍼를 포함하는 것을 특징으로 하는 프로세서 버스 연결 장치.

【청구항 2】

제 1 항에 있어서, 상기 맥스는

상기 프로세서로부터 상기 제 1 메모리의 주소를 나타내는 주소 정보를 수신하고, 상기 프로세서로부터 상기 제 1 메모리에 대한 쓰기 요청을 나타내는 제어 정보를 수신한 경우, 상

기 프로세서로부터 제 1 데이터를 수신하고, 상기 수신된 제 1 데이터를 상기 동기 데이터 버스를 경유하여 상기 제 1 메모리로 전송하는 동기 데이터 버스 쓰기부;

상기 프로세서로부터 상기 제 1 메모리의 주소를 나타내는 주소 정보를 수신하고, 상기 프로세서로부터 상기 제 1 메모리에 대한 읽기 요청을 나타내는 제어 정보를 수신한 경우, 상기 제 1 메모리로부터 상기 동기 데이터 버스를 경유하여 제 2 데이터를 수신하고, 상기 수신된 데이터를 상기 프로세서로 전송하는 동기 데이터 버스 읽기부;

상기 프로세서로부터 상기 제 2 메모리의 주소를 나타내는 주소 정보를 수신하고, 상기 프로세서로부터 상기 제 2 메모리에 대한 쓰기 요청을 나타내는 제어 정보를 수신한 경우, 상기 프로세서로부터 제 3 데이터를 수신하고, 상기 수신된 제 3 데이터를 상기 비동기 데이터 버스에 연결된 버퍼로 전송하는 버퍼 쓰기부; 및

상기 프로세서로부터 상기 제 2 메모리의 주소를 나타내는 주소 정보를 수신하고, 상기 프로세서로부터 상기 제 2 메모리에 대한 읽기 요청을 나타내는 제어 정보를 수신한 경우, 상기 버퍼로부터 제 4 데이터를 수신하고, 상기 수신된 제 4 데이터를 상기 프로세서로 전송하는 버퍼 읽기부를 포함하는 것을 특징으로 하는 프로세서 버스 연결 장치.

【청구항 3】

제 1 항에 있어서, 상기 버퍼는

상기 프로세서와 연결된 먹스로부터 상기 버퍼에 대한 쓰기 요청을 나타내는 제어 정보를 수신한 경우, 상기 먹스로부터 제 3 데이터를 수신하여 저장하고, 상기 저장된 제 3 데이터를 상기 비동기 데이터 버스를 경유하여 상기 제 2 메모리로 전송하는 비동기 데이터 버스 쓰기부; 및

상기 먹스로부터 상기 버퍼에 대한 읽기 요청을 나타내는 제어 정보를 수신한 경우, 상기 제 2 메모리로부터 상기 비동기 데이터 버스를 경유하여 상기 제 4 데이터를 수신하여 저장하고, 상기 저장된 제 4 데이터를 상기 먹스로 전송하는 비동기 데이터 버스 읽기부를 포함하는 것을 특징으로 하는 프로세서 버스 연결 장치.

【청구항 4】

프로세서로부터 상기 프로세서와 동기되어 있는 데이터 버스인 동기 데이터 버스에 연결된 제 1 메모리의 주소를 나타내는 주소 정보를 수신하고, 상기 프로세서로부터 상기 제 1 메모리에 대한 쓰기 요청을 나타내는 제어 정보를 수신한 경우, 상기 프로세서로부터 제 1 데이터를 수신하고, 상기 수신된 제 1 데이터를 상기 동기 데이터 버스를 경유하여 상기 제 1 메모리로 전송하는 동기 데이터 버스 쓰기부;

상기 프로세서로부터 상기 제 1 메모리의 주소를 나타내는 주소 정보를 수신하고, 상기 프로세서로부터 상기 제 1 메모리에 대한 읽기 요청을 나타내는 제어 정보를 수신한 경우, 상기 제 1 메모리로부터 상기 동기 데이터 버스를 경유하여 제 2 데이터를 수신하고, 상기 수신된 데이터를 상기 프로세서로 전송하는 동기 데이터 버스 읽기부;

상기 프로세서로부터 상기 프로세서와 동기되어 있지 않은 데이터 버스인 비동기 데이터 버스에 연결된 제 2 메모리의 주소를 나타내는 주소 정보를 수신하고, 상기 프로세서로부터 상기 제 2 메모리에 대한 쓰기 요청을 나타내는 제어 정보를 수신한 경우, 상기 프로세서로부터 제 3 데이터를 수신하고, 상기 수신된 제 3 데이터를 상기 비동기 데이터 버스에 연결된 버퍼로 전송하는 버퍼 쓰기부; 및

상기 프로세서로부터 상기 제 2 메모리의 주소를 나타내는 주소 정보를 수신하고, 상기 프로세서로부터 상기 제 2 메모리에 대한 읽기 요청을 나타내는 제어 정보를 수신한 경우, 상기 버퍼로부터 제 4 데이터를 수신하고, 상기 수신된 제 4 데이터를 상기 프로세서로 전송하는 버퍼 읽기부를 포함하는 것을 특징으로 하는 먹싱 장치.

【청구항 5】

제 4 항에 있어서, 상기 동기 데이터 버스 쓰기부는

상기 프로세서로부터 상기 제 1 메모리의 주소를 나타내는 주소 정보를 수신한 경우, 상기 동기 데이터 버스를 제어하는 동기 데이터 버스 제어 장치로 상기 동기 데이터 버스에 대한 사용 요청을 나타내는 제어 정보를 생성하여 송신하는 동기 데이터 버스 사용 요청부;

상기 동기 데이터 버스 제어 장치로부터 상기 동기 데이터 버스에 대한 사용 긍정 응답을 나타내는 제어 정보를 수신하고, 상기 프로세서로부터 상기 제 1 메모리에 대한 쓰기 요청을 나타내는 제어 정보를 수신한 경우, 상기 프로세서로 제 1 데이터에 대한 송신 요청을 나타내는 제어 정보를 생성하여 송신하는 동기 프로세서 데이터 송신 요청부;

상기 프로세서로부터 상기 제 1 데이터에 대한 송신 긍정 응답을 나타내는 제어 정보를 수신한 경우, 상기 프로세서로부터 상기 제 1 데이터를 수신하는 동기 프로세서 데이터 수신부; 및

상기 동기 프로세서 데이터 수신부에서 수신된 제 1 데이터를 상기 동기 데이터 버스를 경유하여 상기 제 1 메모리로 전송하는 동기 데이터 버스 데이터 전송부를 포함하는 것을 특징으로 하는 먹싱 장치.

【청구항 6】

제 4 항에 있어서, 상기 동기 데이터 버스 읽기부는

상기 프로세서로부터 상기 제 1 메모리의 주소를 나타내는 주소 정보를 수신한 경우, 상기 동기 데이터 버스를 제어하는 동기 데이터 버스 제어 장치로 상기 동기 데이터 버스에 대한 사용 요청을 하는 동기 데이터 버스 사용 요청부;

상기 동기 데이터 버스 제어 장치로부터 상기 동기 데이터 버스에 대한 사용 긍정 응답을 나타내는 제어 정보를 수신하고, 상기 프로세서로부터 상기 제 1 메모리에 대한 읽기 요청을 나타내는 제어 정보를 수신한 경우, 상기 제 1 메모리로 제 2 데이터에 대한 송신 요청을 나타내는 제어 정보를 생성하여 송신하는 제 1 메모리 데이터 전송 요청부;

상기 제 1 메모리로부터 상기 제 2 데이터에 대한 송신 긍정 응답을 나타내는 제어 정보를 수신한 경우, 상기 제 1 메모리로부터 상기 동기 데이터 버스를 경유하여 상기 제 2 데이터를 수신하는 동기 데이터 버스 데이터 수신부; 및

상기 동기 데이터 버스 데이터 수신부에서 수신된 제 2 데이터를 상기 프로세서로 전송하는 동기 프로세서 데이터 전송부를 포함하는 것을 특징으로 하는 먹싱 장치.

【청구항 7】

제 4 항에 있어서, 상기 버퍼 쓰기부는

상기 프로세서로부터 상기 제 2 메모리의 주소를 나타내는 주소 정보를 수신하고, 상기 프로세서로부터 상기 제 2 메모리에 대한 쓰기 요청을 나타내는 제어 정보를 수신한 경우, 상기 비동기 버스에 연결된 버퍼로 상기 버퍼에 대한 쓰기 요청을 나타내는 제어 정보를 생성하여 송신하는 버퍼 쓰기 요청부;

상기 버퍼로부터 상기 버퍼에 대한 쓰기 긍정 응답을 나타내는 제어 정보를 수신한 경우, 상기 프로세서로 제 3 데이터에 대한 송신 요청을 나타내는 제어 정보를 생성하여 송신하는 비동기 프로세서 데이터 송신 요청부;

상기 프로세서로부터 상기 제 3 데이터에 대한 전송 긍정 응답을 나타내는 제어 정보를 수신한 경우, 상기 프로세서로부터 상기 제 3 데이터를 수신하는 비동기 프로세서 데이터 수신부; 및

상기 비동기 프로세서 데이터 수신부에서 수신된 제 3 데이터를 상기 버퍼로 전송하는 버퍼 데이터 전송부를 포함하는 것을 특징으로 하는 먹싱 장치.

【청구항 8】

제 4 항에 있어서, 상기 버퍼 읽기부는

프로세서로부터 상기 제 2 메모리의 주소를 나타내는 주소 정보를 수신하고, 상기 프로세서로부터 상기 제 2 메모리에 대한 읽기 요청을 나타내는 제어 정보를 수신한 경우, 상기 비동기 데이터 버스에 연결된 버퍼로 상기 버퍼에 대한 읽기 요청을 나타내는 제어 정보를 생성하여 송신하는 버퍼 읽기 요청부;

상기 버퍼로부터 상기 버퍼에 대한 읽기 긍정 응답을 나타내는 제어 정보를 수신한 경우, 상기 버퍼로 제 4 데이터에 대한 전송 요청을 나타내는 제어 정보를 생성하여 송신하는 버퍼 데이터 전송 요청부;

상기 버퍼로부터 상기 제 4 데이터에 대한 전송 긍정 응답을 나타내는 제어 정보를 수신한 경우, 상기 버퍼로부터 상기 제 4 데이터를 수신하는 버퍼 데이터 수신부; 및

상기 버퍼 데이터 수신부에서 수신된 제 4 데이터를 상기 프로세서로 전송하는 비동기 프로세서 데이터 전송부를 포함하는 것을 특징으로 하는 먹싱 장치.

【청구항 9】

프로세서와 연결된 먹스로부터 상기 프로세서와 동기되어 있지 않은 데이터 버스인 비동기 데이터 버스에 연결된 버퍼에 대한 쓰기 요청을 나타내는 제어 정보를 수신한 경우, 상기 먹스로부터 제 3 데이터를 수신하여 저장하고, 상기 저장된 제 3 데이터를 상기 비동기 데이터 버스를 경유하여 상기 제 2 메모리로 전송하는 비동기 데이터 버스 쓰기부; 및

상기 먹스로부터 상기 버퍼에 대한 읽기 요청을 나타내는 제어 정보를 수신한 경우, 상기 제 2 메모리로부터 상기 비동기 데이터 버스를 경유하여 제 4 데이터를 수신하여 저장하고, 상기 저장된 제 4 데이터를 상기 먹스로 전송하는 비동기 데이터 버스 읽기부를 포함하는 것을 특징으로 하는 버퍼링 장치.

【청구항 10】

제 9 항에 있어서, 상기 비동기 데이터 버스 쓰기부는

상기 프로세서와 연결된 먹스로부터 상기 버퍼에 대한 쓰기 요청을 나타내는 제어 정보를 수신하고, 상기 제 3 데이터를 저장할 수 있는 공간이 존재하는 경우, 상기 먹스로 상기 버퍼에 대한 쓰기 긍정 응답을 나타내는 제어 정보를 생성하여 송신하는 버퍼 쓰기 긍정 응답 송신부;

상기 먹스로부터 상기 제 3 데이터를 수신하여 저장하는 먹스 데이터 수신 저장부;

상기 맥스 데이터 수신 저장부에 상기 제 3 데이터가 저장된 경우, 상기 비동기 데이터 버스를 제어하는 비동기 데이터 버스 제어 장치로 상기 비동기 데이터 버스에 대한 사용 요청을 나타내는 제어 정보를 생성하여 송신하는 비동기 데이터 버스 사용 요청부; 및

상기 비동기 데이터 버스 제어 장치로부터 상기 비동기 데이터 버스에 대한 사용 긍정 응답을 나타내는 제어 정보를 수신한 경우, 상기 맥스 데이터 수신 저장부에 저장된 제 3 데이터를 상기 비동기 데이터 버스를 경유하여 상기 제 2 메모리로 전송하는 비동기 데이터 버스 데이터 전송부를 포함하는 것을 특징으로 하는 버퍼링 장치.

【청구항 11】

제 9 항에 있어서, 상기 비동기 데이터 버스 읽기부는

상기 프로세서와 연결된 맥스로부터 상기 버퍼에 대한 읽기 요청을 나타내는 제어 정보를 수신하고, 상기 제 4 데이터를 저장할 수 있는 공간이 존재하는 경우, 상기 비동기 데이터 버스를 제어하는 비동기 데이터 버스 제어 장치로 상기 비동기 데이터 버스에 대한 사용 요청을 나타내는 제어 정보를 생성하여 송신하는 비동기 데이터 버스 사용 요청부;

상기 비동기 데이터 버스 제어 장치로부터 상기 비동기 데이터 버스에 대한 사용 긍정 응답을 나타내는 제어 정보를 수신한 경우, 상기 비동기 데이터 버스 제어 장치로 제 4 데이터에 대한 데이터 전송 요청을 나타내는 제어 정보를 생성하여 송신하는 비동기 데이터 버스 데이터 전송 요청부;

상기 비동기 데이터 버스 제어 장치로부터 상기 제 4 데이터에 대한 전송 긍정 응답을 수신한 경우, 상기 제 2 메모리로부터 상기 비동기 데이터 버스를 경유하여 상기 제 4 데이터를 수신하여 저장하는 비동기 데이터 버스 데이터 수신 저장부; 및

상기 비동기 데이터 버스 데이터 수신 저장부에 상기 제 4 데이터가 저장된 경우, 상기 맥스로 상기 버퍼에 대한 읽기 긍정 응답을 나타내는 제어 정보를 생성하여 송신하고, 상기 맥스로부터 상기 제 4 데이터에 대한 전송 요청을 나타내는 제어 정보를 수신한 경우, 상기 맥스로 상기 제 4 데이터에 대한 전송 긍정 응답을 나타내는 제어 정보를 생성하여 송신하고, 상기 맥스로 상기 저장된 제 4 데이터를 맥스로 전송하는 맥스 데이터 전송부를 포함하는 것을 특징으로 하는 버퍼링 장치.

【청구항 12】

프로세서 버스 연결 장치로부터 전송된 입력 데이터로부터 제 1 데이터 또는 제 3 데이터를 생성하여 상기 프로세서 버스 연결 장치로 송신하거나, 제 2 데이터 또는 제 4 데이터로부터 출력 데이터를 생성하여 상기 프로세서 버스 연결 장치로 송신하는 프로세서; 및

입력 장치로부터 동기 버스를 경유하여 상기 입력 데이터를 수신하고, 상기 수신된 입력 데이터를 프로세서로 전송하거나, 상기 프로세서로부터 제 1 데이터를 수신하고, 상기 수신된 제 1 데이터를 상기 동기 버스를 경유하여 상기 제 1 메모리로 전송하거나, 상기 제 1 메모리로부터 상기 동기 버스를 경유하여 제 2 데이터를 수신하고, 상기 수신된 제 2 데이터를 상기 프로세서로 전송하거나, 상기 프로세서로부터 제 3 데이터를 수신하여 저장하고, 상기 저장된 제 3 데이터를 상기 비동기 버스를 경유하여 상기 제 2 메모리로 전송하거나, 상기 제 2 메모리로부터 상기 비동기 버스를 경유하여 제 4 데이터를 수신하여 저장하고, 상기 저장된 제 4 데이터를 상기 프로세서로 전송하거나, 상기 프로세서로부터 상기 출력 데이터를 수신하여 저장하고, 상기 저장된 출력 데이터를 상기 비동기 버스를 경유하여 출력 장치로 전송하는 프로세서 버스 연결 장치를 포함하는 것을 특징으로 하는 동기 버스 및 비동기 버스 경유 시스템.

【청구항 13】

제 12 항에 있어서,

상기 프로세서 버스 연결 장치로부터 상기 동기 버스를 경유하여 상기 제 1 데이터를 수신하여 저장하거나, 상기 제 2 데이터를 상기 동기 버스를 경유하여 상기 프로세서 버스 연결 장치로 송신하는 제 1 메모리;

상기 프로세서 버스 연결 장치로부터 상기 비동기 버스를 경유하여 상기 제 3 데이터를 수신하여 저장하거나, 상기 제 4 데이터를 상기 비동기 버스를 경유하여 상기 프로세서 버스 연결 장치로 송신하는 제 2 메모리;

사용자로부터 입력 데이터를 수신하고, 상기 수신된 입력 데이터를 상기 동기 버스를 경유하여 프로세서 버스 연결 장치로 송신하는 입력 장치; 및

상기 프로세서 버스 연결 장치로부터 상기 비동기 버스를 경유하여 상기 출력 데이터를 수신하고, 상기 수신된 출력 데이터를 사용자에게 출력하거나, 또는 상기 제 2 메모리로부터 상기 비동기 버스를 경유하여 상기 제 3 데이터를 수신하고, 상기 수신된 제 3 데이터를 사용자에게 출력하는 출력 장치를 포함하는 것을 특징으로 하는 동기 버스 및 비동기 버스 경유 시스템.

【청구항 14】

제 13 항에 있어서, 상기 출력 장치는 상기 수신된 출력 데이터 또는 상기 수신된 제 3 데이터가 디스플레이 데이터인 경우, 상기 수신된 출력 데이터를 사용자에게 디스플레이하는 것을 특징으로 하는 동기 버스 및 비동기 버스 경유 시스템.

【청구항 15】

제 13 항에 있어서,

상기 동기 버스에 대한 사용을 허가하는 동기 버스 제어 장치; 및

상기 비동기 버스에 대한 사용을 허가하는 비동기 버스 제어 장치를 포함하는 것을 특징으로 하는 동기 버스 및 비동기 버스 경유 시스템.

【청구항 16】

제 15 항에 있어서, 상기 프로세서 버스 연결 장치는 상기 입력 장치로부터 동기 버스 제어 장치에 의해 사용이 허가된 동기 버스를 경유하여 상기 입력 데이터를 수신하고, 상기 수신된 입력 데이터를 프로세서로 전송하거나, 상기 프로세서로부터 제 1 데이터를 수신하고, 상기 수신된 제 1 데이터를 상기 동기 버스 제어 장치에 의해 사용이 허가된 동기 버스를 경유하여 상기 제 1 메모리로 전송하거나, 상기 제 1 메모리로부터 상기 동기 버스 제어 장치에 의해 사용이 허가된 동기 버스를 경유하여 제 2 데이터를 수신하고, 상기 수신된 제 2 데이터를 상기 프로세서로 전송하거나, 상기 프로세서로부터 제 3 데이터를 수신하여 저장하고, 상기 저장된 제 3 데이터를 상기 비동기 버스 제어 장치에 의해 사용이 허가된 비동기 버스를 경유하여 상기 제 2 메모리로 전송하거나, 상기 제 2 메모리로부터 상기 비동기 버스 제어 장치에 의해 사용이 허가된 비동기 버스를 경유하여 제 4 데이터를 수신하여 저장하고, 상기 저장된 제 4 데이터를 상기 프로세서로 전송하거나, 상기 프로세서로부터 상기 출력 데이터를 수신하여 저장하고, 상기 저장된 출력 데이터를 상기 비동기 버스 제어 장치에 의해 사용이 허가된 비동기 버스를 경유하여 상기 출력 장치로 전송하는 것을 특징으로 하는 동기 버스 및 비동기 버스 경유 시스템.

【청구항 17】

제 15 항에 있어서,

상기 제 1 메모리는 상기 프로세서 버스 연결 장치로부터 상기 동기 버스 제어 장치에 의해 사용이 허가된 동기 버스를 경유하여 상기 제 1 데이터를 수신하여 저장하거나, 상기 제 2 데이터를 상기 동기 버스 제어 장치에 의해 사용이 허가된 동기 버스를 경유하여 상기 프로세서 버스 연결 장치로 송신하고,

상기 제 2 메모리는 상기 프로세서 버스 연결 장치로부터 상기 비동기 버스 제어 장치에 의해 사용이 허가된 비동기 버스를 경유하여 상기 제 1 데이터 또는 상기 제 3 데이터를 수신하여 저장하거나, 상기 제 4 데이터를 상기 비동기 버스 제어 장치에 의해 사용이 허가된 비동기 버스를 경유하여 상기 프로세서 버스 연결 장치로 송신하고,

상기 입력 장치는 사용자로부터 입력 데이터를 수신하고, 상기 수신된 입력 데이터를 상기 동기 버스 제어 장치에 의해 사용이 허가된 상기 동기 버스를 경유하여 프로세서 버스 연결 장치로 송신하고,

상기 출력 장치는 상기 프로세서 버스 연결 장치로부터 상기 비동기 버스 제어 장치에 의해 사용이 허가된 비동기 버스를 경유하여 상기 출력 데이터를 수신하고, 상기 수신된 출력 데이터를 사용자에게 출력하거나, 또는 상기 제 2 메모리로부터 상기 비동기 버스 제어 장치에 의해 사용이 허가된 비동기 버스를 경유하여 상기 제 3 데이터를 수신하고, 상기 수신된 제 3 데이터를 출력하는 것을 특징으로 하는 동기 버스 및 비동기 버스 경유 시스템.

【청구항 18】

제 12 항에 있어서,

상기 제 1 메모리로부터 상기 동기 버스를 경유하여 상기 제 2 데이터를 수신하고, 상기 수신된 제 2 데이터를 상기 비동기 버스를 경유하여 상기 제 2 메모리로 전송하거나, 상기 제 2 메모리로부터 상기 비동기 버스를 경유하여 상기 제 4 데이터를 수신하고, 상기 수신된 제 4 데이터를 상기 동기 버스를 경유하여 상기 제 1 메모리로 전송하는 브리지 DMA를 포함하는 것을 특징으로 하는 동기 버스 및 비동기 버스 경유 시스템.

【청구항 19】

제 18 항에 있어서,

상기 제 1 메모리는 상기 프로세서 버스 연결 장치 또는 브리지 DMA로부터 상기 동기 버스를 경유하여 상기 제 1 데이터 또는 상기 제 4 데이터를 수신하여 저장하거나, 상기 제 2 데이터를 상기 동기 버스를 경유하여 상기 프로세서 버스 연결 장치 또는 브리지 DMA로 송신하고,

상기 제 2 메모리는 상기 프로세서 버스 연결 장치 또는 브리지 DMA로부터 상기 비동기 버스를 경유하여 상기 제 3 데이터 또는 상기 제 2 데이터를 수신하여 저장하거나, 상기 제 4 데이터를 상기 비동기 버스를 경유하여 상기 프로세서 버스 연결 장치 또는 브리지 DMA로 송신하고,

상기 출력 장치는 상기 프로세서 버스 연결 장치로부터 상기 비동기 버스를 경유하여 상기 출력 데이터를 수신하고, 상기 수신된 출력 데이터를 사용자에게 출력하거나, 상기 제 2 메모리로부터 상기 비동기 버스를 경유하여 상기 제 3 데이터를 수신하고, 상기 수신된 제 3 데이터를 사용자에게 출력하거나, 또는 상기 브리지 DMA로부터 상기 비동기 버스를 경유하여 상

기 제 1 데이터를 수신하고, 상기 수신된 제 1 데이터를 사용자에게 출력하는 것을 특징으로 하는 동기 버스 및 비동기 버스 경유 시스템.

【청구항 20】

(a) 프로세서로부터 상기 프로세서와 동기되어 있는 데이터 버스인 동기 데이터 버스에 연결된 제 1 메모리의 주소를 나타내는 주소 정보를 수신한 경우, 상기 프로세서로부터 제 1 데이터를 수신하고, 상기 수신된 제 1 데이터를 상기 동기 데이터 버스를 경유하여 상기 제 1 메모리로 전송하거나, 또는 상기 제 1 메모리로부터 상기 동기 데이터 버스를 경유하여 제 2 데이터를 수신하고, 상기 수신된 제 2 데이터를 상기 프로세서로 전송하는 단계; 및

(b) 상기 프로세서로부터 상기 프로세서와 동기되어 있지 않은 데이터 버스인 비동기 데이터 버스에 연결된 제 2 메모리의 주소를 나타내는 주소 정보를 수신한 경우, 상기 프로세서로부터 제 3 데이터를 수신하여 전송하고, 상기 전송된 제 3 데이터를 저장하고, 상기 저장된 제 3 데이터를 상기 비동기 데이터 버스를 경유하여 상기 제 2 메모리로 전송하거나, 상기 제 2 메모리로부터 상기 비동기 데이터 버스를 경유하여 제 4 데이터를 수신하여 저장하고, 상기 저장된 제 4 데이터를 전송하고, 상기 전송된 제 4 데이터를 수신하여 상기 프로세서로 전송하는 단계를 포함하는 것을 특징으로 하는 프로세서 버스 연결 방법.

【청구항 21】

제 20 항에 있어서, 상기 (a) 단계는

(a1) 상기 프로세서로부터 상기 제 1 메모리의 주소를 나타내는 주소 정보를 수신하고, 상기 프로세서로부터 상기 제 1 메모리에 대한 쓰기 요청을 나타내는 제어 정보를 수신한

경우, 상기 프로세서로부터 제 1 데이터를 수신하고, 상기 수신된 제 1 데이터를 상기 동기 데이터 버스를 경유하여 상기 제 1 메모리로 전송하는 단계; 및

(a2) 상기 프로세서로부터 상기 제 1 메모리의 주소를 나타내는 주소 정보를 수신하고, 상기 프로세서로부터 상기 제 1 메모리에 대한 읽기 요청을 나타내는 제어 정보를 수신한 경우, 상기 제 1 메모리로부터 상기 동기 데이터 버스를 경유하여 제 2 데이터를 수신하고, 상기 수신된 데이터를 상기 프로세서로 전송하는 단계를 포함하는 것을 특징으로 하는 프로세서 버스 연결 방법.

【청구항 22】

제 20 항에 있어서, 상기 (b) 단계는

(b1) 상기 프로세서로부터 상기 제 2 메모리의 주소를 나타내는 주소 정보를 수신하고, 상기 프로세서로부터 상기 제 2 메모리에 대한 쓰기 요청을 나타내는 제어 정보를 수신한 경우, 상기 프로세서로부터 제 3 데이터를 수신하고, 상기 수신된 제 3 데이터를 전송하는 단계;

(b2) 버퍼에 대한 쓰기 요청을 나타내는 제어 정보를 수신한 경우, 상기 전송된 제 3 데이터를 수신하여 저장하고, 상기 저장된 제 3 데이터를 상기 비동기 데이터 버스를 경유하여 상기 제 2 메모리로 전송하는 단계;

(b3) 상기 버퍼에 대한 읽기 요청을 나타내는 제어 정보를 수신한 경우, 상기 제 2 메모리로부터 상기 비동기 데이터 버스를 경유하여 상기 제 4 데이터를 수신하여 저장하고, 상기 저장된 제 4 데이터를 상기 먹스로 전송하는 단계; 및

(b4) 상기 프로세서로부터 상기 제 2 메모리의 주소를 나타내는 주소 정보를 수신하고, 상기 프로세서로부터 상기 제 2 메모리에 대한 읽기 요청을 나타내는 제어 정보를 수신한 경우, 상기 버퍼로부터 제 4 데이터를 수신하고, 상기 수신된 제 4 데이터를 상기 프로세서로 전송하는 단계를 포함하는 것을 특징으로 하는 프로세서 버스 연결 방법.

【청구항 23】

(a) 프로세서로부터 상기 프로세서와 동기되어 있는 데이터 버스인 동기 데이터 버스에 연결된 제 1 메모리의 주소를 나타내는 주소 정보를 수신하고, 상기 프로세서로부터 상기 제 1 메모리에 대한 쓰기 요청을 나타내는 제어 정보를 수신한 경우, 상기 프로세서로부터 제 1 데이터를 수신하고, 상기 수신된 제 1 데이터를 상기 동기 데이터 버스를 경유하여 상기 제 1 메모리로 전송하는 단계;

(b) 상기 프로세서로부터 상기 제 1 메모리의 주소를 나타내는 주소 정보를 수신하고, 상기 프로세서로부터 상기 제 1 메모리에 대한 읽기 요청을 나타내는 제어 정보를 수신한 경우, 상기 제 1 메모리로부터 상기 동기 데이터 버스를 경유하여 제 2 데이터를 수신하고, 상기 수신된 데이터를 상기 프로세서로 전송하는 단계;

(c) 상기 프로세서로부터 상기 프로세서와 동기되어 있지 않은 데이터 버스인 비동기 데이터 버스에 연결된 제 2 메모리의 주소를 나타내는 주소 정보를 수신하고, 상기 프로세서로부터 상기 제 2 메모리에 대한 쓰기 요청을 나타내는 제어 정보를 수신한 경우, 상기 프로세서로부터 제 3 데이터를 수신하고, 상기 수신된 제 3 데이터를 상기 비동기 데이터 버스에 연결된 버퍼로 전송하는 단계; 및

(d) 상기 프로세서로부터 상기 제 2 메모리의 주소를 나타내는 주소 정보를 수신하고, 상기 프로세서로부터 상기 제 2 메모리에 대한 읽기 요청을 나타내는 제어 정보를 수신한 경우, 상기 버퍼로부터 제 4 데이터를 수신하고, 상기 수신된 제 4 데이터를 상기 프로세서로 전송하는 단계를 포함하는 것을 특징으로 하는 먹싱 방법.

【청구항 24】

제 23 항에 있어서, 상기 (a) 단계는

(a1) 프로세서로부터 상기 제 1 메모리의 주소를 나타내는 주소 정보를 수신한 경우, 상기 동기 데이터 버스를 제어하는 동기 데이터 버스 제어 장치로 상기 동기 데이터 버스에 대한 사용 요청을 나타내는 제어 정보를 생성하여 송신하는 단계;

(a2) 상기 동기 데이터 버스 제어 장치로부터 상기 동기 데이터 버스에 대한 사용 긍정 응답을 나타내는 제어 정보를 수신하고, 상기 프로세서로부터 상기 제 1 메모리에 대한 쓰기 요청을 나타내는 제어 정보를 수신한 경우, 상기 프로세서로 제 1 데이터에 대한 송신 요청을 나타내는 제어 정보를 생성하여 송신하는 단계;

(a3) 상기 프로세서로부터 상기 제 1 데이터에 대한 송신 긍정 응답을 나타내는 제어 정보를 수신한 경우, 상기 프로세서로부터 상기 제 1 데이터를 수신하는 단계; 및

(a4) 상기 수신된 제 1 데이터를 상기 동기 데이터 버스를 경유하여 상기 제 1 메모리로 전송하는 단계를 포함하는 것을 특징으로 하는 먹싱 방법.

【청구항 25】

제 23 항에 있어서, 상기 (b) 단계는

(b1) 상기 프로세서로부터 상기 제 1 메모리의 주소를 나타내는 주소 정보를 수신한 경우, 상기 동기 데이터 버스를 제어하는 동기 데이터 버스 제어 장치로 상기 동기 데이터 버스에 대한 사용 요청을 하는 동기 데이터 버스 사용 요청부;

(b2) 상기 동기 데이터 버스 제어 장치로부터 상기 동기 데이터 버스에 대한 사용 긍정 응답을 나타내는 제어 정보를 수신하고, 상기 프로세서로부터 상기 제 1 메모리에 대한 읽기 요청을 나타내는 제어 정보를 수신한 경우, 상기 제 1 메모리로 제 2 데이터에 대한 송신 요청을 나타내는 제어 정보를 생성하여 송신하는 단계;

(b3) 상기 제 1 메모리로부터 상기 제 2 데이터에 대한 송신 긍정 응답을 나타내는 제어 정보를 수신한 경우, 상기 제 1 메모리로부터 상기 동기 데이터 버스를 경유하여 상기 제 2 데이터를 수신하는 단계; 및

(b4) 상기 수신된 제 2 데이터를 상기 프로세서로 전송하는 단계를 포함하는 것을 특징으로 하는 먹싱 방법.

【청구항 26】

제 23 항에 있어서, 상기 (c) 단계는

(c1) 상기 프로세서로부터 상기 제 2 메모리의 주소를 나타내는 주소 정보를 수신하고, 상기 프로세서로부터 상기 제 2 메모리에 대한 쓰기 요청을 나타내는 제어 정보를 수신한 경우, 상기 비동기 버스에 연결된 버퍼로 상기 버퍼에 대한 쓰기 요청을 나타내는 제어 정보를 생성하여 송신하는 단계;

(c2) 상기 버퍼로부터 상기 버퍼에 대한 쓰기 긍정 응답을 나타내는 제어 정보를 수신한 경우, 상기 프로세서로 제 3 데이터에 대한 송신 요청을 나타내는 제어 정보를 생성하여 송신하는 단계;

(c3) 상기 프로세서로부터 상기 제 3 데이터에 대한 전송 긍정 응답을 나타내는 제어 정보를 수신한 경우, 상기 프로세서로부터 상기 제 3 데이터를 수신하는 단계; 및

(c4) 상기 수신된 제 3 데이터를 상기 버퍼로 전송하는 단계를 포함하는 것을 특징으로 하는 먹싱 방법.

【청구항 27】

제 23 항에 있어서, 상기 (d) 단계는

(d1) 상기 프로세서로부터 상기 제 2 메모리의 주소를 나타내는 주소 정보를 수신하고, 상기 프로세서로부터 상기 제 2 메모리에 대한 읽기 요청을 나타내는 제어 정보를 수신한 경우, 상기 비동기 데이터 버스에 연결된 버퍼로 상기 버퍼에 대한 읽기 요청을 나타내는 제어 정보를 생성하여 송신하는 단계;

(d2) 상기 버퍼로부터 상기 버퍼에 대한 읽기 긍정 응답을 나타내는 제어 정보를 수신한 경우, 상기 버퍼로 제 4 데이터에 대한 전송 요청을 나타내는 제어 정보를 생성하여 송신하는 단계;

(d3) 상기 버퍼로부터 상기 제 4 데이터에 대한 전송 긍정 응답을 나타내는 제어 정보를 수신한 경우, 상기 버퍼로부터 상기 제 4 데이터를 수신하는 버퍼 데이터 수신부; 및

(d4) 상기 수신된 제 4 데이터를 상기 프로세서로 전송하는 단계를 포함하는 것을 특징으로 하는 먹싱 방법.

【청구항 28】

(a) 프로세서와 연결된 먹스로부터 상기 프로세서와 동기되어 있지 않은 데이터 버스인 비동기 데이터 버스에 연결된 버퍼에 대한 쓰기 요청을 나타내는 제어 정보를 수신한 경우, 상기 먹스로부터 제 3 데이터를 수신하여 저장하고, 상기 저장된 제 3 데이터를 상기 비동기 데이터 버스를 경유하여 상기 제 2 메모리로 전송하는 단계; 및

(b) 상기 먹스로부터 상기 버퍼에 대한 읽기 요청을 나타내는 제어 정보를 수신한 경우, 상기 제 2 메모리로부터 상기 비동기 데이터 버스를 경유하여 제 4 데이터를 수신하여 저장하고, 상기 저장된 제 4 데이터를 상기 먹스로 전송하는 단계를 포함하는 것을 특징으로 하는 버퍼링 방법.

【청구항 29】

제 28 항에 있어서, 상기 (a) 단계는

(a1) 상기 프로세서와 연결된 먹스로부터 상기 버퍼에 대한 쓰기 요청을 나타내는 제어 정보를 수신하고, 상기 제 3 데이터를 저장할 수 있는 공간이 존재하는 경우, 상기 먹스로 상기 버퍼에 대한 쓰기 긍정 응답을 나타내는 제어 정보를 생성하여 송신하는 단계;

(a2) 상기 먹스로부터 상기 제 3 데이터를 수신하여 저장하는 단계;

(a3) 상기 제 3 데이터가 저장된 경우, 상기 비동기 데이터 버스를 제어하는 비동기 데이터 버스 제어 장치로 상기 비동기 데이터 버스에 대한 사용 요청을 나타내는 제어 정보를 생성하여 송신하는 단계; 및

(a4) 상기 비동기 데이터 버스 제어 장치로부터 상기 비동기 데이터 버스에 대한 사용 긍정 응답을 나타내는 제어 정보를 수신한 경우, 상기 저장된 제 3 데이터를 상기 비동기 데이터 버스로 전송하는 단계;

터 버스를 경유하여 상기 제 2 메모리로 전송하는 단계를 포함하는 것을 특징으로 하는 버퍼링 방법.

【청구항 30】

제 28 항에 있어서, 상기 (b) 단계는

(b1) 상기 프로세서와 연결된 먹스로부터 상기 버퍼에 대한 읽기 요청을 나타내는 제어 정보를 수신하고, 상기 제 4 데이터를 저장할 수 있는 공간이 존재하는 경우, 상기 비동기 데이터 버스를 제어하는 비동기 데이터 버스 제어 장치로 상기 비동기 데이터 버스에 대한 사용 요청을 나타내는 제어 정보를 생성하여 송신하는 단계;

(b2) 상기 비동기 데이터 버스 제어 장치로부터 상기 비동기 데이터 버스에 대한 사용 긍정 응답을 나타내는 제어 정보를 수신한 경우, 상기 비동기 데이터 버스 제어 장치로 제 4 데이터에 대한 데이터 전송 요청을 나타내는 제어 정보를 생성하여 송신하는 단계;

(b3) 상기 비동기 데이터 버스 제어 장치로부터 상기 제 4 데이터에 대한 전송 긍정 응답을 수신한 경우, 상기 제 2 메모리로부터 상기 비동기 데이터 버스를 경유하여 상기 제 4 데이터를 수신하여 저장하는 단계; 및

(b4) 상기 제 4 데이터가 저장된 경우, 상기 먹스로 상기 버퍼에 대한 읽기 긍정 응답을 나타내는 제어 정보를 생성하여 송신하고, 상기 먹스로부터 상기 제 4 데이터에 대한 전송 요청을 나타내는 제어 정보를 수신한 경우, 상기 먹스로 상기 제 4 데이터에 대한 전송 긍정 응답을 나타내는 제어 정보를 생성하여 송신하고, 상기 먹스로 상기 저장된 제 4 데이터를 먹스로 전송하는 단계를 포함하는 것을 특징으로 하는 버퍼링 방법.

【청구항 31】

- (a) 사용자로부터 입력 데이터를 수신하고, 상기 수신된 입력 데이터를 프로세서와 동기되어 있는 버스인 동기 버스를 경유하여 송신하는 단계; 및
- (b) 상기 동기 버스를 경유하여 상기 입력 데이터를 수신하고, 상기 수신된 입력 데이터를 전송하는 단계;
- (c) 상기 전송된 입력 데이터로부터 제 1 데이터 또는 제 3 데이터를 생성하여 송신하는 단계;
- (d) 상기 제 1 데이터를 수신하고, 상기 수신된 제 1 데이터를 상기 동기 버스를 경유하여 상기 제 1 메모리로 전송하거나, 상기 제 3 데이터를 수신하여 저장하고, 상기 저장된 제 3 데이터를 상기 프로세서와 동기되어 있지 않은 비동기 버스를 경유하여 상기 제 2 메모리로 전송하는 단계;
- (e) 상기 동기 버스를 경유하여 상기 제 1 데이터를 수신하여 저장하는 단계; 및
- (f) 상기 비동기 버스를 경유하여 상기 제 3 데이터를 수신하여 저장하는 단계를 포함하는 것을 특징으로 하는 동기 버스 및 비동기 버스 경유 방법.

【청구항 32】

제 31 항에 있어서,

- (g) 상기 제 2 데이터를 상기 동기 버스를 경유하여 송신하는 단계;
- (h) 상기 제 4 데이터를 상기 비동기 버스를 경유하여 송신하는 단계;

(i) 상기 동기 버스를 경유하여 제 2 데이터를 수신하고, 상기 수신된 제 2 데이터를 전송하거나, 상기 비동기 버스를 경유하여 제 4 데이터를 수신하여 저장하고, 상기 저장된 제 4 데이터를 전송하는 단계;

(j) 상기 제 2 데이터 또는 상기 제 4 데이터로부터 출력 데이터를 생성하여 송신하는 단계;

(k) 상기 출력 데이터를 수신하여 저장하고, 상기 저장된 출력 데이터를 상기 비동기 버스를 경유하여 전송하는 단계;

(1) 상기 비동기 버스를 경유하여 상기 출력 데이터를 수신하고, 상기 수신된 출력 데이터를 사용자에게 출력하거나, 또는 상기 제 2 메모리로부터 상기 비동기 버스를 경유하여 상기 제 3 데이터를 수신하고, 상기 수신된 제 3 데이터를 사용자에게 출력하는 단계를 포함하는 것을 특징으로 하는 동기 버스 및 비동기 버스 경유 방법.

【청구항 33】

제 32 항에 있어서, 상기 (1) 단계는 상기 수신된 출력 데이터 또는 상기 수신된 제 3 데이터가 디스플레이 데이터인 경우, 상기 수신된 출력 데이터를 사용자에게 디스플레이하는 것을 특징으로 하는 동기 버스 및 비동기 버스 경유 방법.

【청구항 34】

제 32 항에 있어서,

(m) 상기 동기 버스에 대한 사용을 허가하는 단계; 및

(n) 상기 비동기 버스에 대한 사용을 허가하는 단계를 포함하는 것을 특징으로 하는 동기 버스 및 비동기 버스 경유 방법.

【청구항 35】

제 34 항에 있어서,

상기 (a) 단계는 상기 수신된 입력 데이터를 상기 (m) 단계에서 사용이 허가된 동기 버스를 경유하여 송신하고,

상기 (b) 단계는 상기 (m) 단계에서 사용이 허가된 동기 버스를 경유하여 상기 입력 데이터를 수신하고,

상기 (d) 단계는 상기 수신된 제 1 데이터를 상기 (m) 단계에서 사용이 허가된 동기 버스를 경유하여 상기 제 1 메모리로 전송하거나, 상기 저장된 제 3 데이터를 상기 (n) 단계에서 사용이 허가된 비동기 버스를 경유하여 상기 제 2 메모리로 전송하고,

상기 (e) 단계는 상기 (m) 단계에서 사용이 허가된 동기 버스를 경유하여 상기 제 1 데이터를 수신하여 저장하고,

상기 (f) 단계는 상기 (n) 단계에서 사용이 허가된 비동기 버스를 경유하여 상기 제 3 데이터를 수신하여 저장하는 것을 특징으로 하는 동기 버스 및 비동기 버스 경유 방법.

【청구항 36】

제 35 항에 있어서,

상기 (g) 단계는 상기 제 2 데이터를 상기 (m) 단계에서 사용이 허가된 동기 버스를 경유하여 송신하고,

상기 (h) 단계는 상기 제 4 데이터를 상기 (n) 단계에서 사용이 허가된 비동기 버스를 경유하여 송신하고,

상기 (i) 단계는 상기 (m) 단계에서 사용이 허가된 동기 버스를 경유하여 제 2 데이터를 수신하고, 상기 수신된 제 2 데이터를 전송하거나, 상기 (n) 단계에서 사용이 허가된 비동기 버스를 경유하여 제 4 데이터를 수신하여 저장하고, 상기 저장된 제 4 데이터를 전송하고,

상기 (k) 단계는 상기 출력 데이터를 수신하여 저장하고, 상기 저장된 출력 데이터를 상기 (n) 단계에서 사용이 허가된 비동기 버스를 경유하여 전송하고,

상기 (l) 단계는 상기 (n) 단계에서 사용이 허가된 비동기 버스를 경유하여 상기 출력 데이터를 수신하고, 상기 수신된 출력 데이터를 사용자에게 출력하거나, 또는 상기 제 2 메모리로부터 상기 (n) 단계에서 사용이 허가된 비동기 버스를 경유하여 상기 제 3 데이터를 수신하고, 상기 수신된 제 3 데이터를 출력하는 것을 특징으로 하는 동기 버스 및 비동기 버스 경유 방법.

【청구항 37】

제 32 항에 있어서,

(o) 상기 제 1 메모리로부터 상기 동기 버스를 경유하여 상기 제 2 데이터를 수신하고, 상기 수신된 제 2 데이터를 상기 비동기 버스를 경유하여 상기 제 2 메모리로 전송하거나, 상기 제 2 메모리로부터 상기 비동기 버스를 경유하여 상기 제 4 데이터를 수신하고, 상기 수신된 제 4 데이터를 상기 동기 버스를 경유하여 상기 제 1 메모리로 전송하는 단계를 포함하는 것을 특징으로 하는 동기 버스 및 비동기 버스 경유 방법.

【청구항 38】

제 37 항에 있어서,

상기 (e) 단계는 상기 동기 버스를 경유하여 상기 제 1 데이터 또는 상기 제 4 데이터를 수신하여 저장하고,

상기 (f) 단계는 상기 비동기 버스를 경유하여 상기 제 3 데이터 또는 상기 제 2 데이터를 수신하여 저장하고,

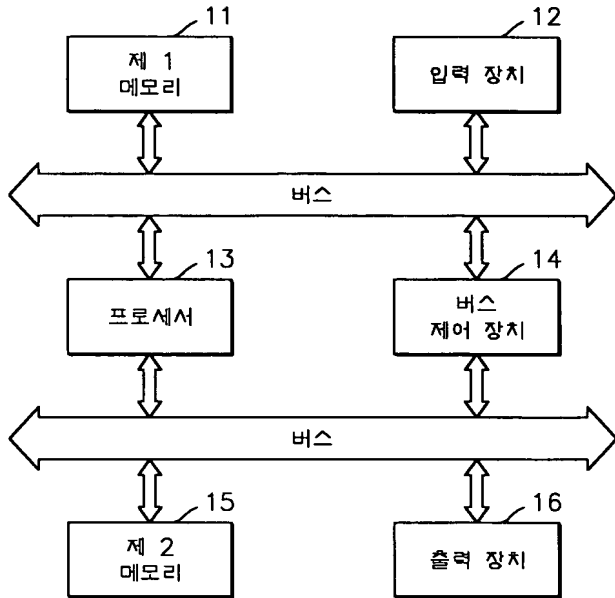
상기 (1) 단계는 상기 비동기 버스를 경유하여 상기 출력 데이터를 수신하고, 상기 수신된 출력 데이터를 사용자에게 출력하거나, 상기 비동기 버스를 경유하여 상기 제 3 데이터를 수신하고, 상기 수신된 제 3 데이터를 사용자에게 출력하거나, 또는 상기 비동기 버스를 경유하여 상기 제 1 데이터를 수신하고, 상기 수신된 제 1 데이터를 사용자에게 출력하는 것을 특징으로 하는 동기 버스 및 비동기 버스 경유 방법.

【청구항 39】

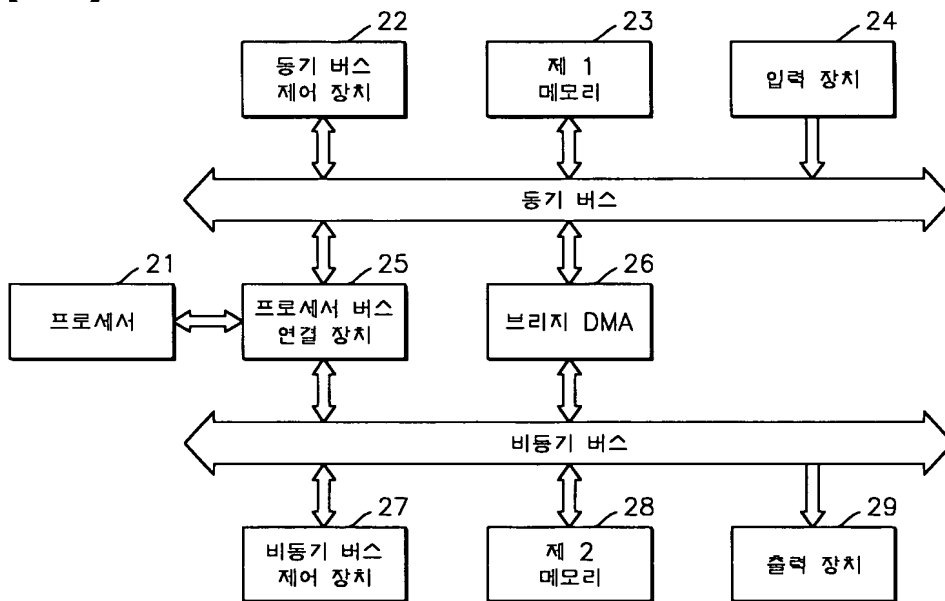
제 20 항 내지 제 38 항 중에 어느 한 항의 방법을 컴퓨터에서 실행시키기 위한 프로그램을 기록한 컴퓨터로 읽을 수 있는 기록매체.

【도면】

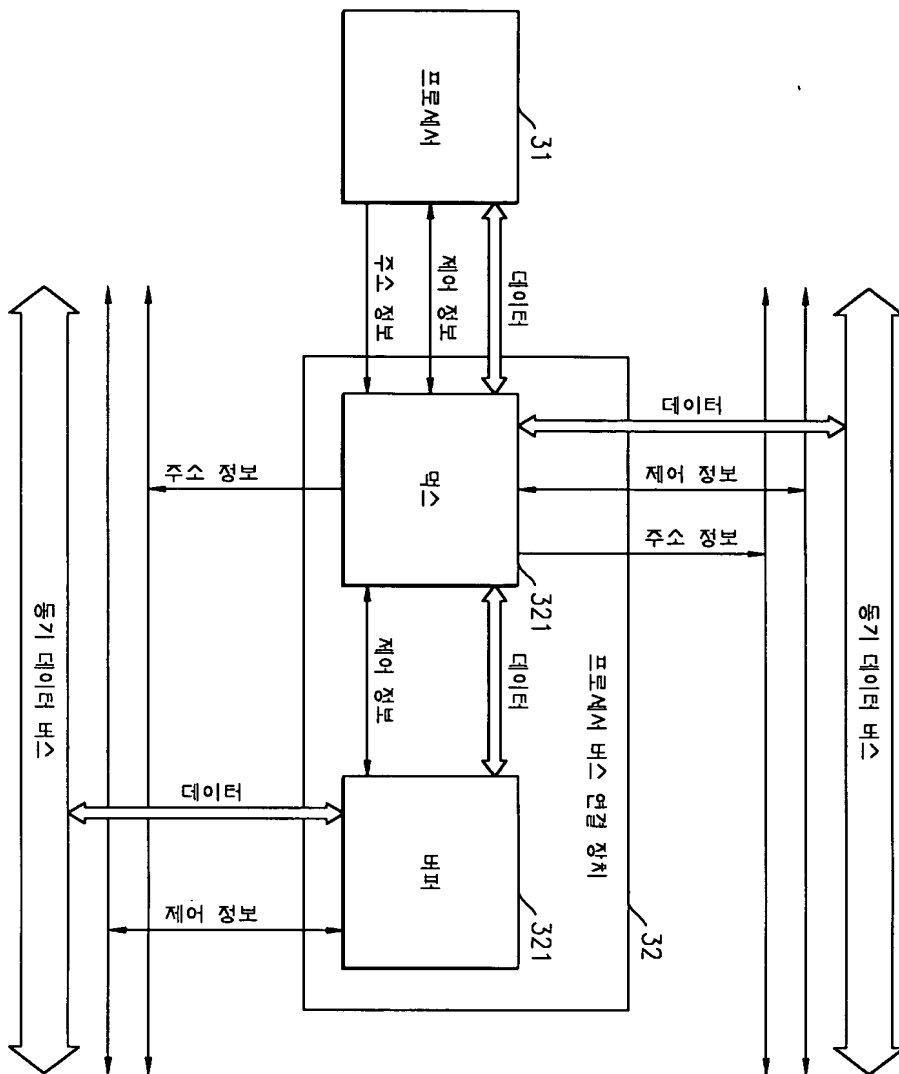
【도 1】



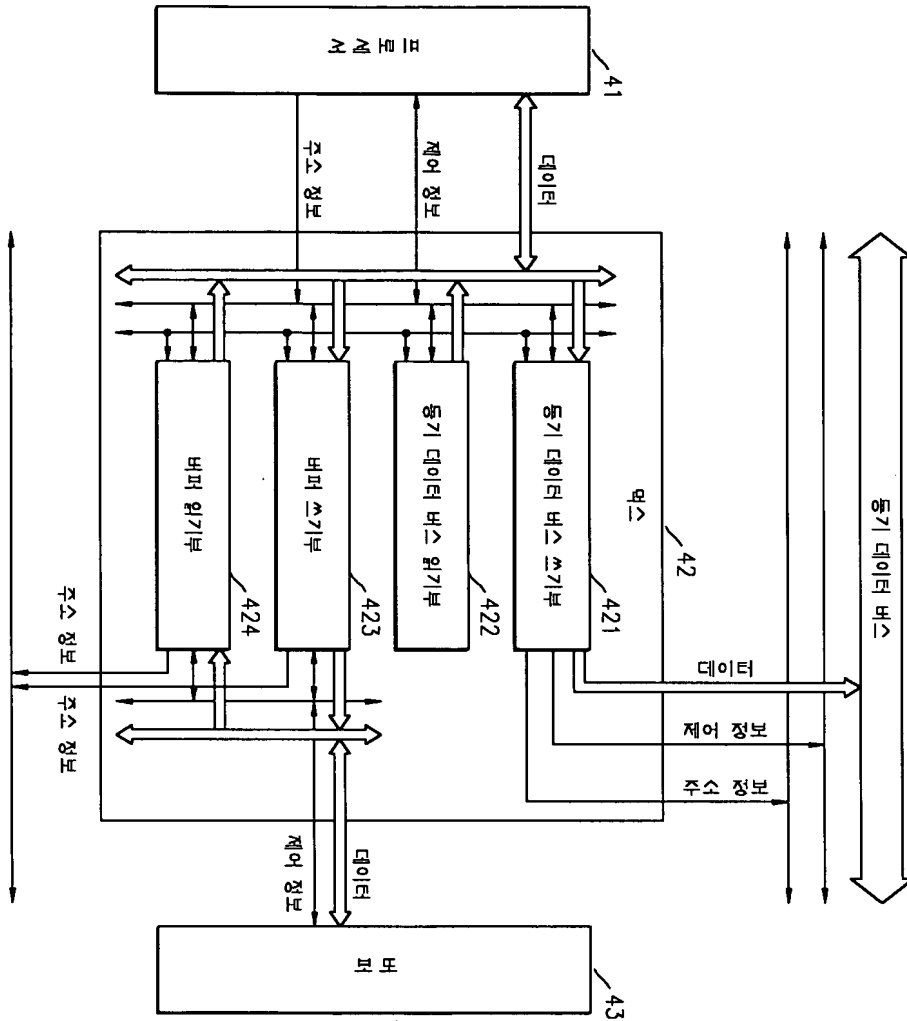
【도 2】



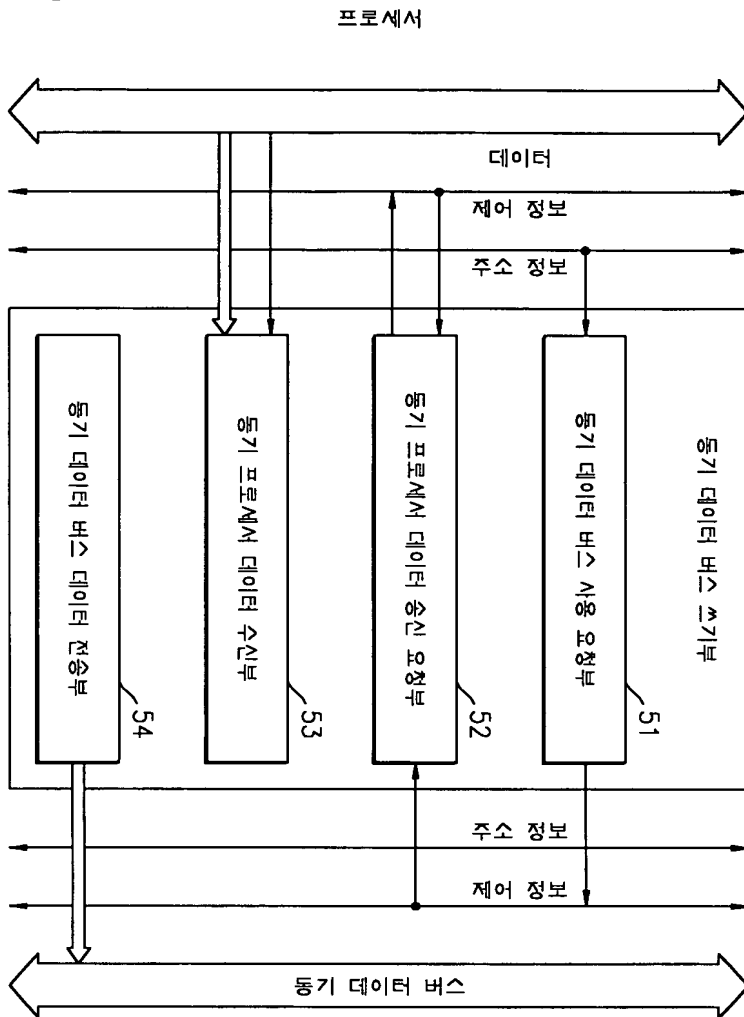
【도 3】



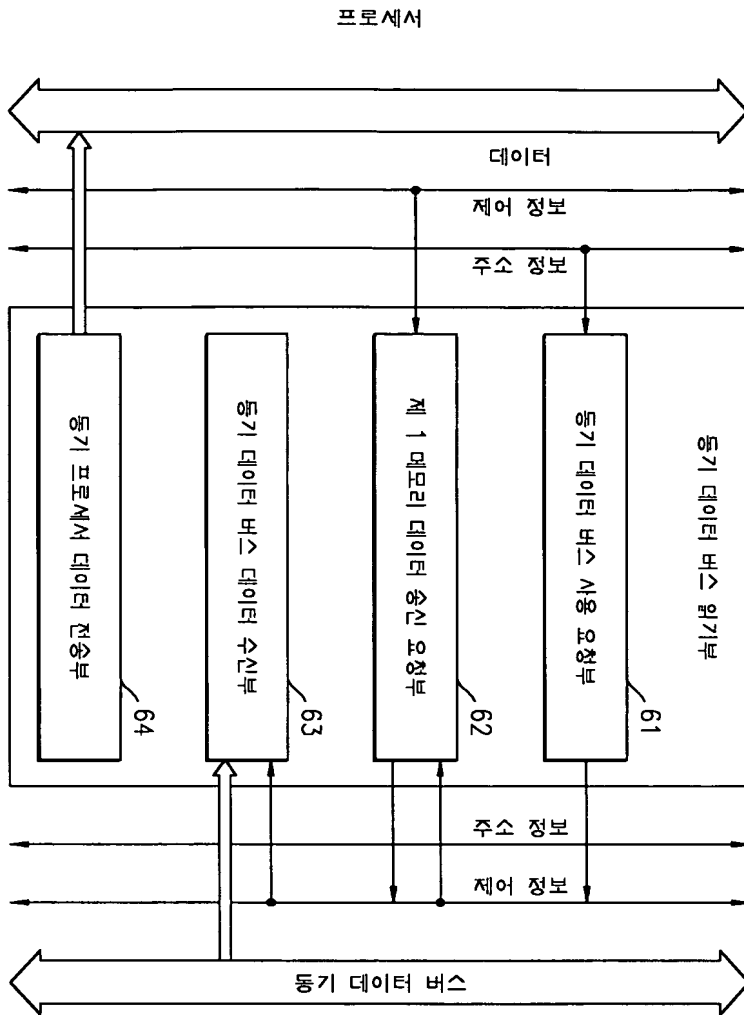
【도 4】



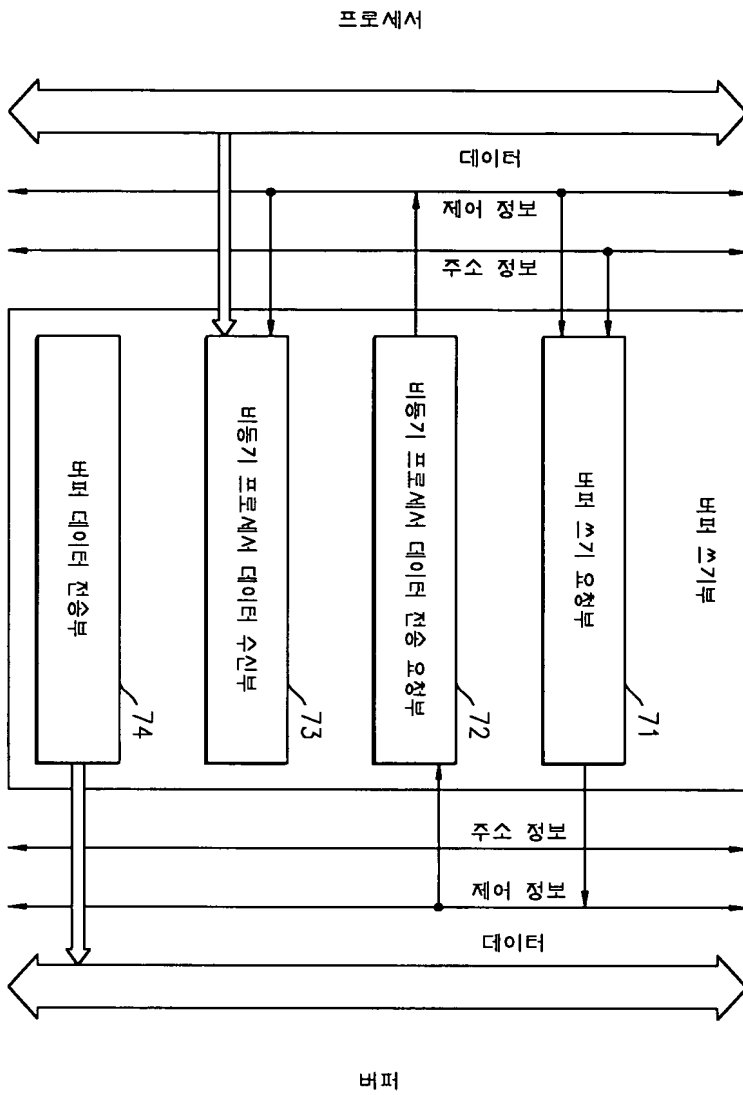
【도 5】



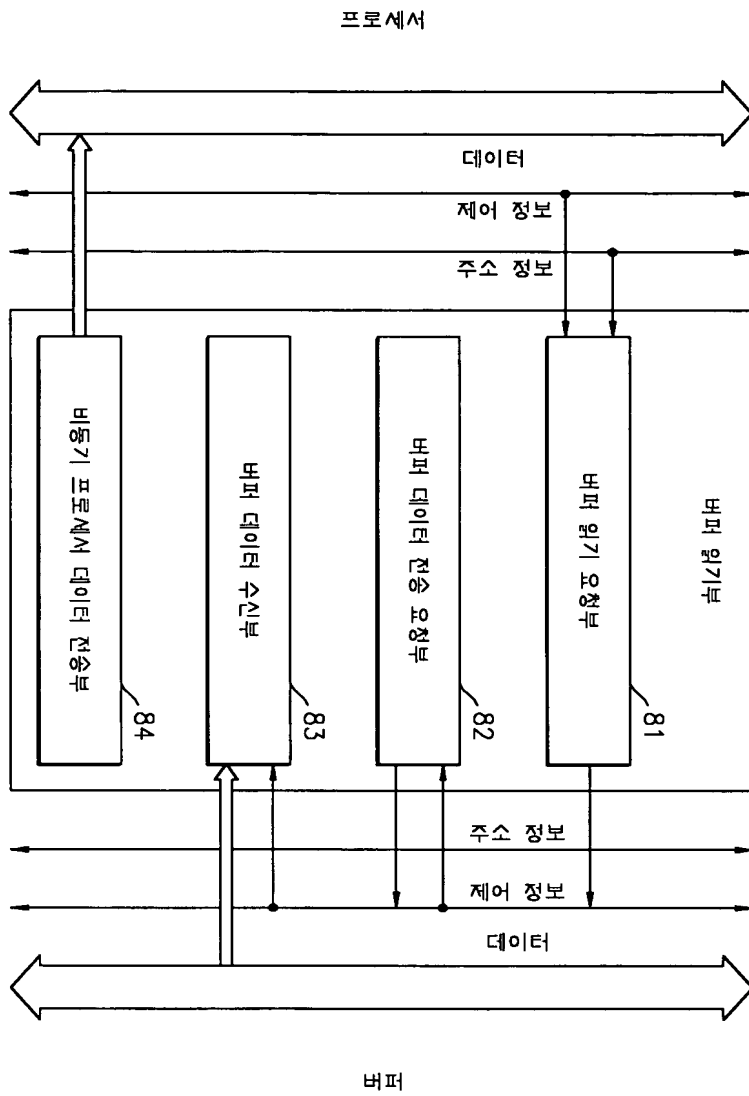
【도 6】



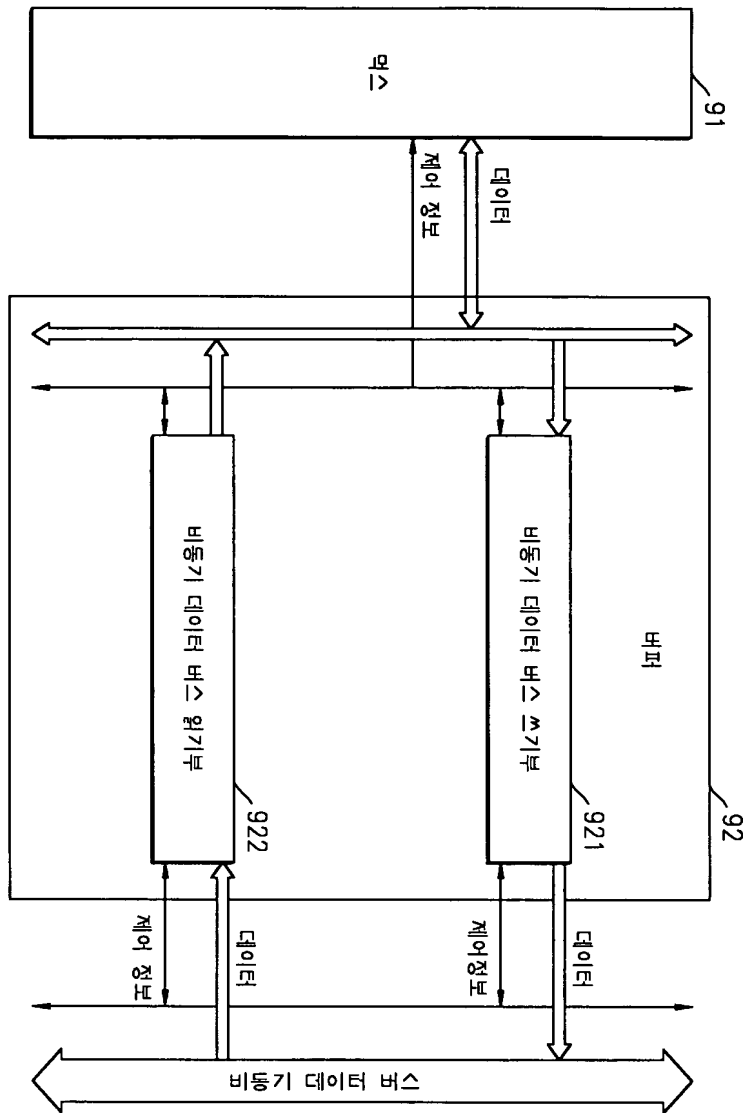
【도 7】



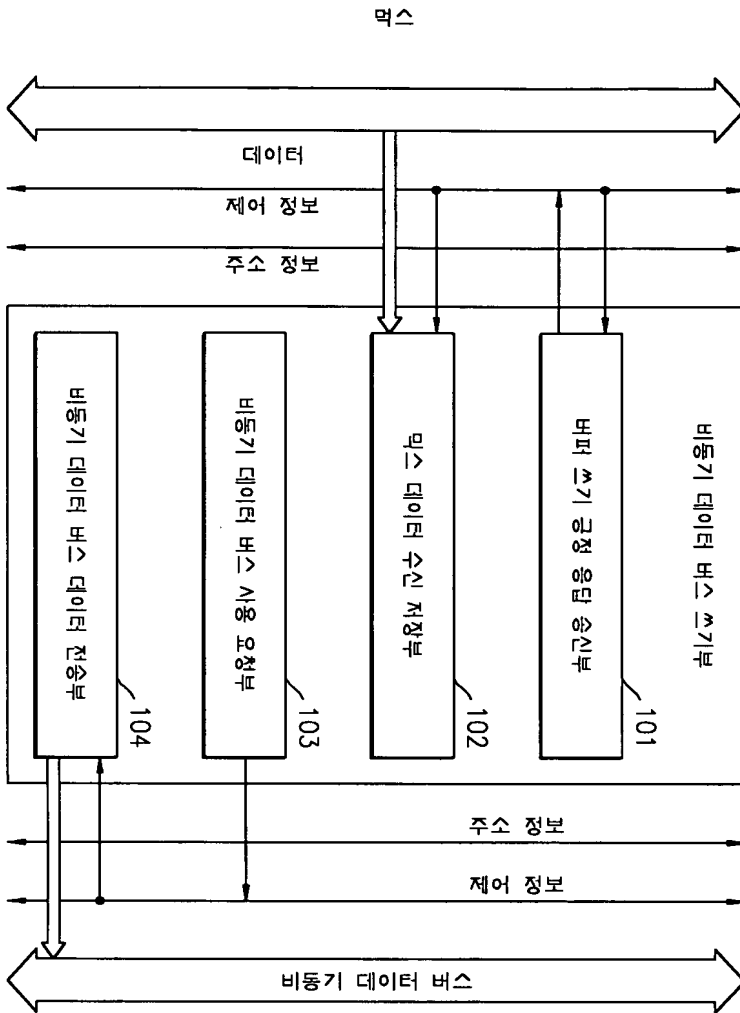
【도 8】



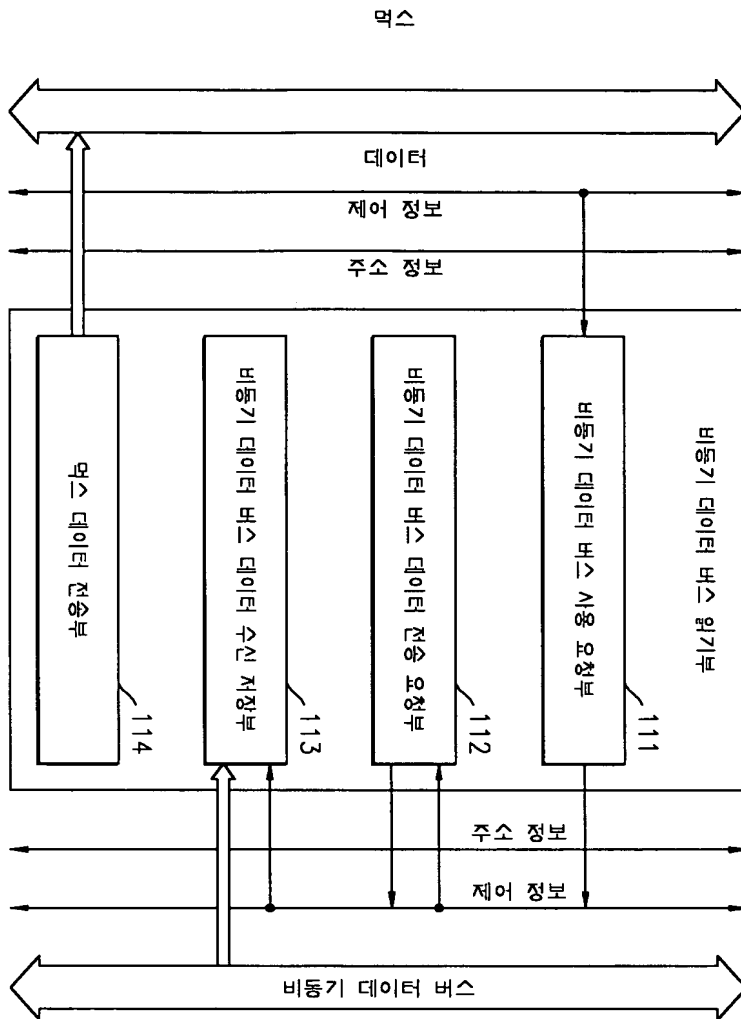
【도 9】



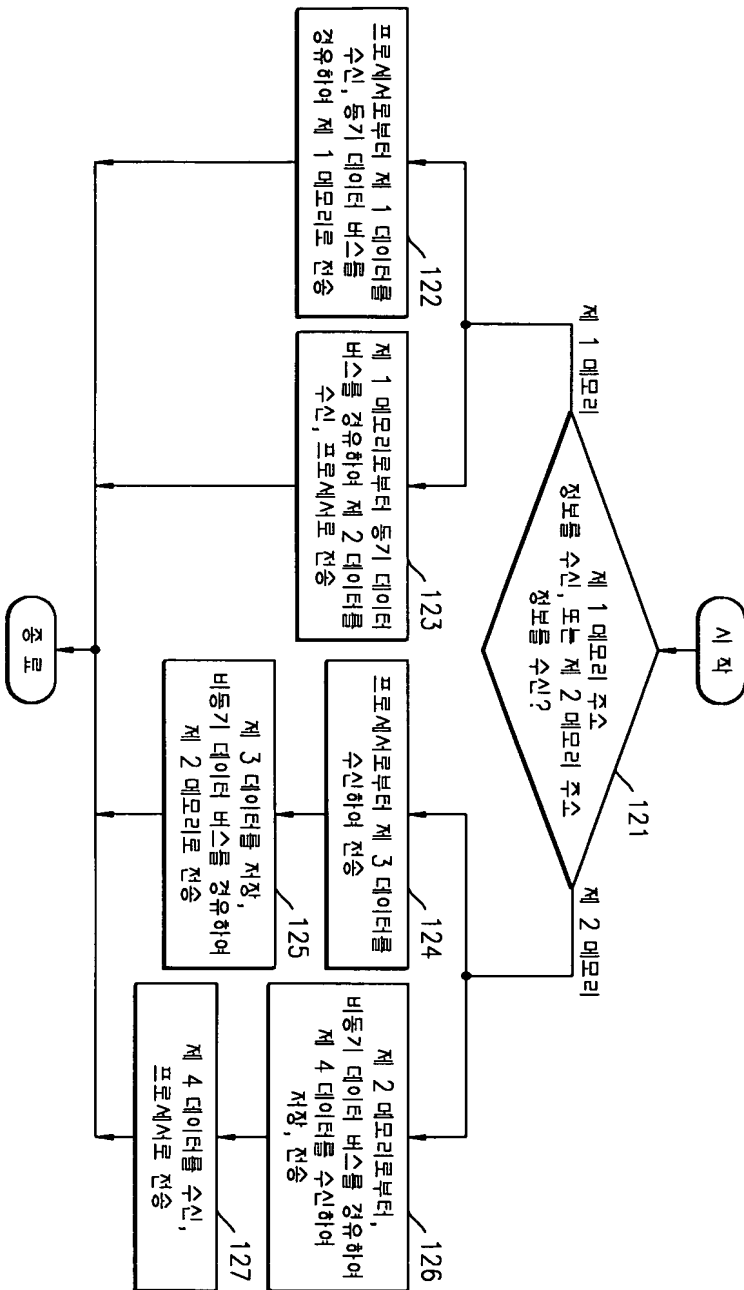
【도 10】



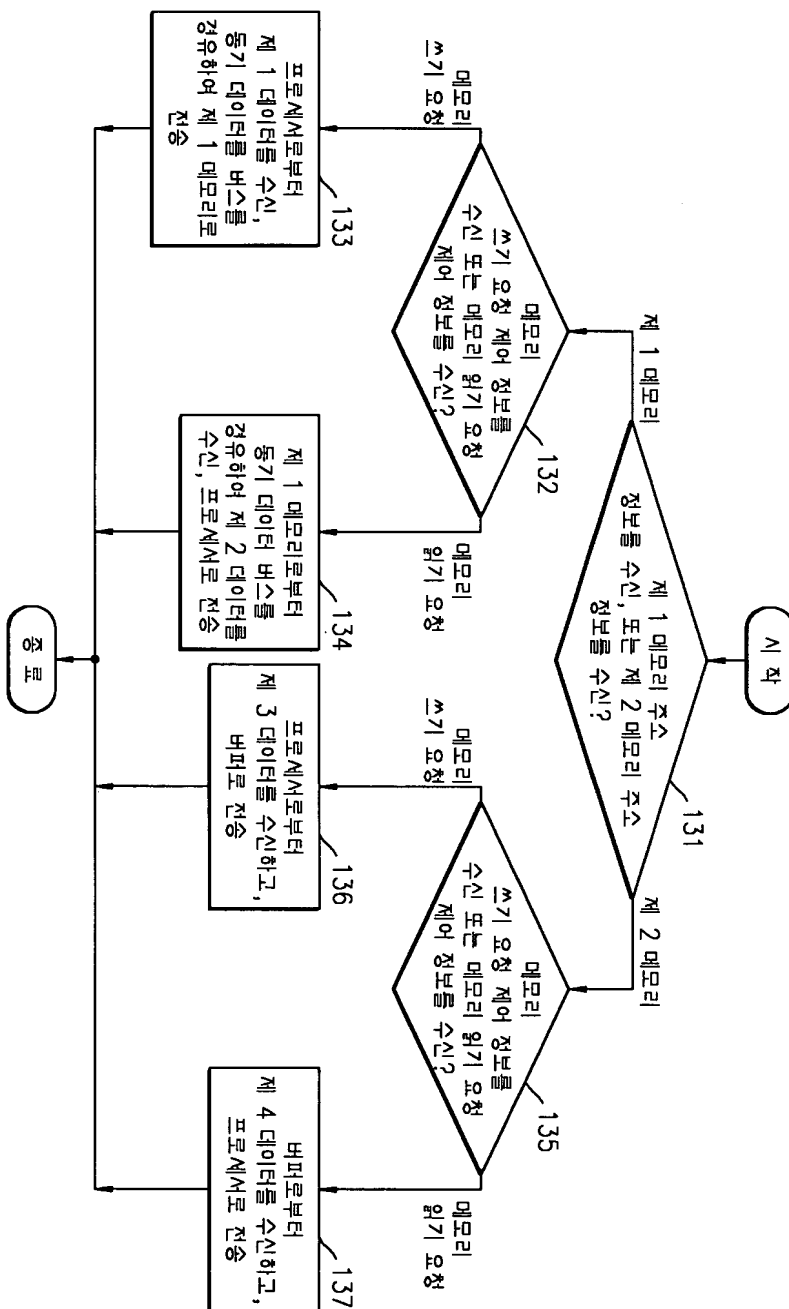
【도 11】



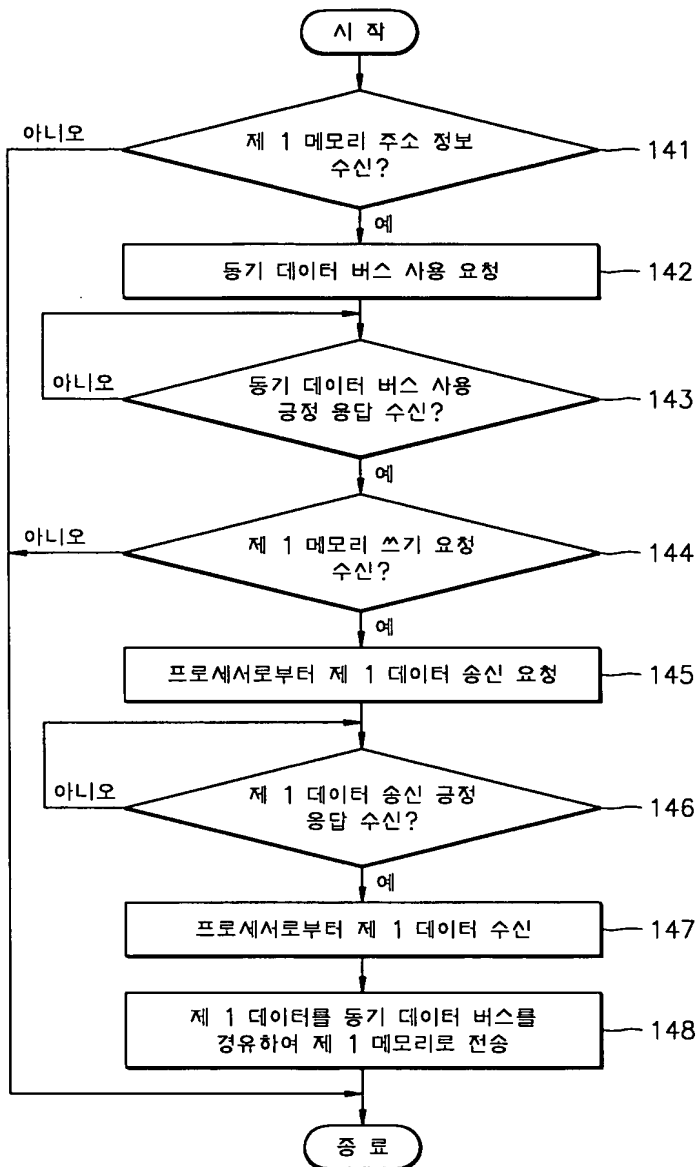
【도 12】



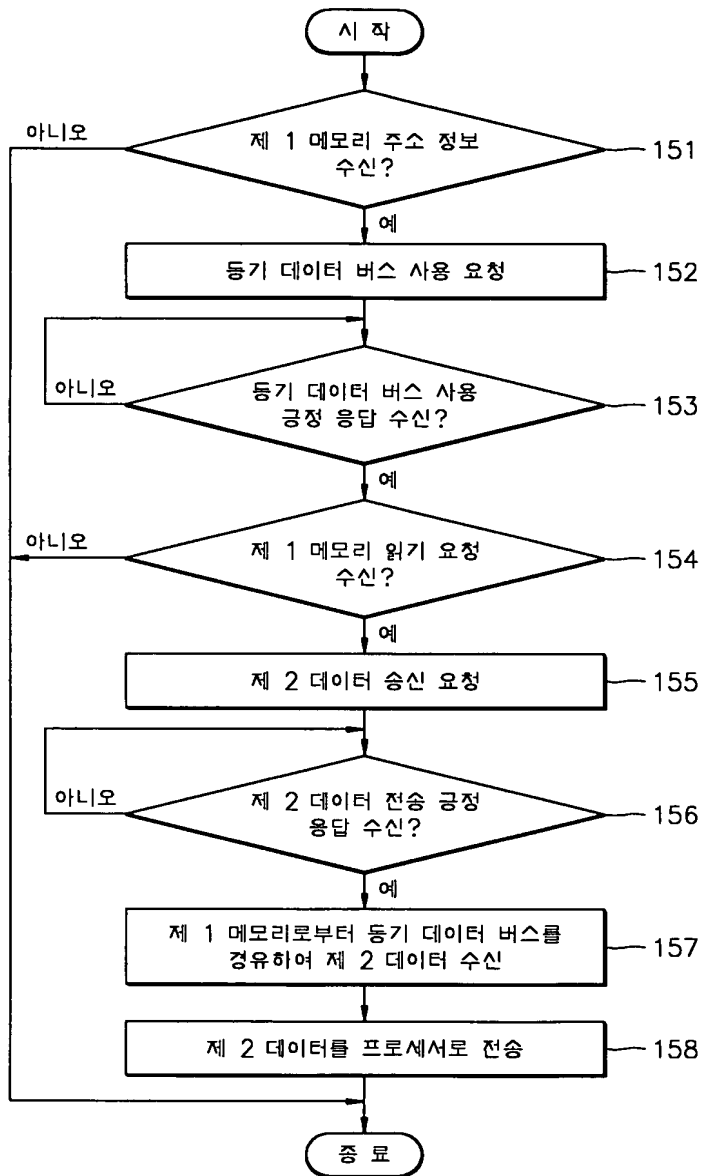
【도 13】



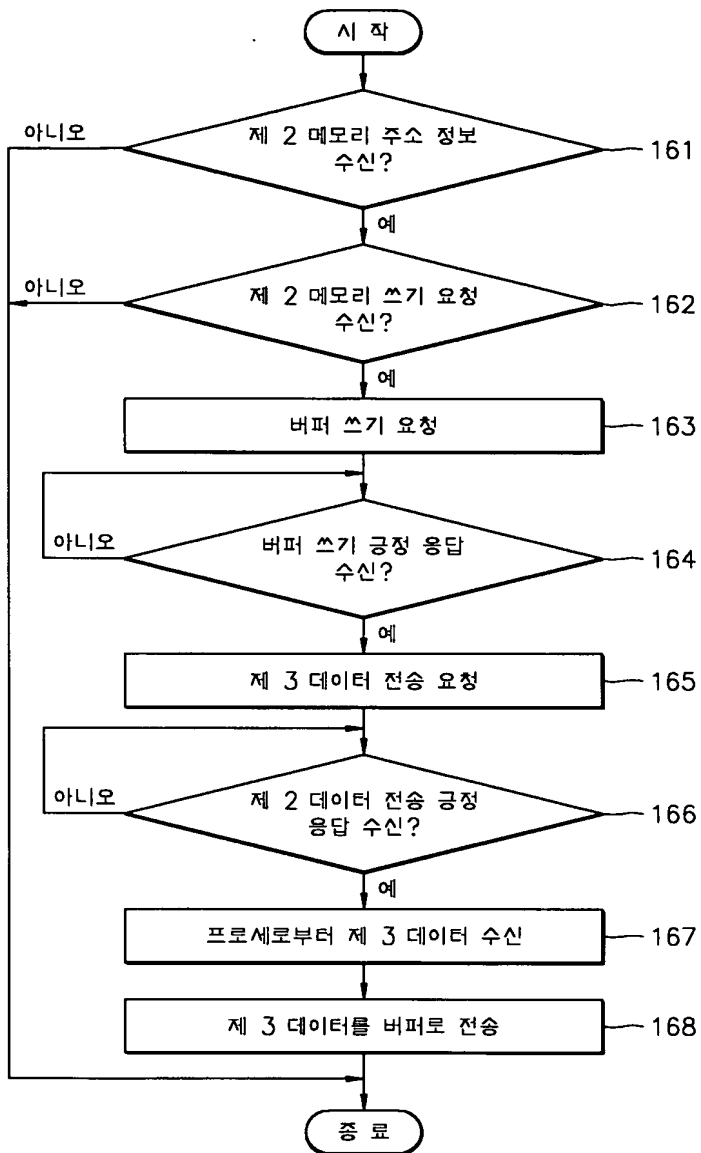
【도 14】



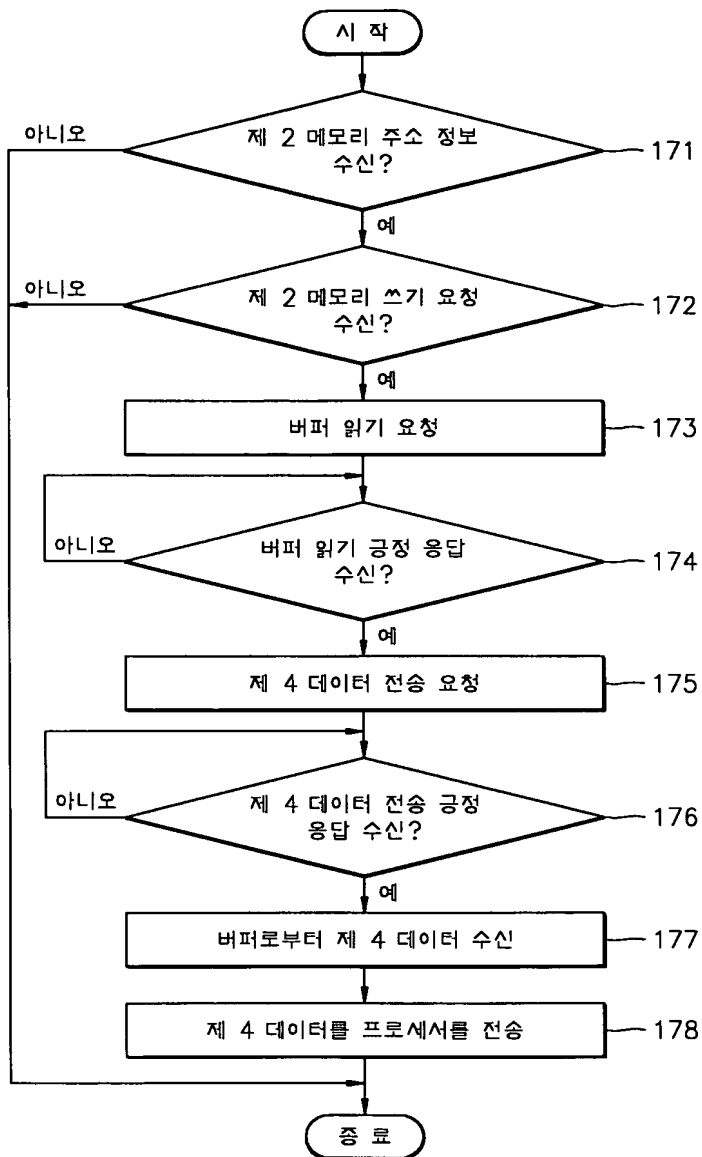
【도 15】



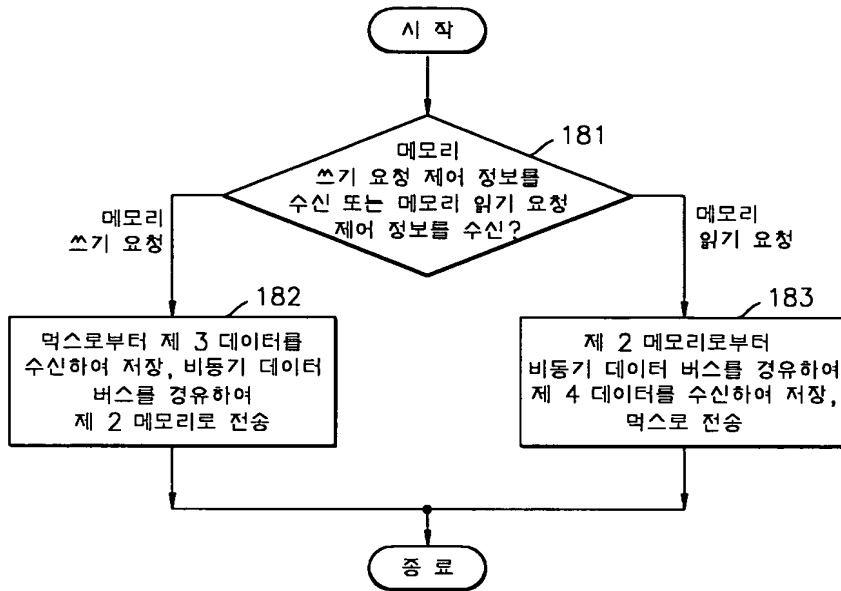
【도 16】



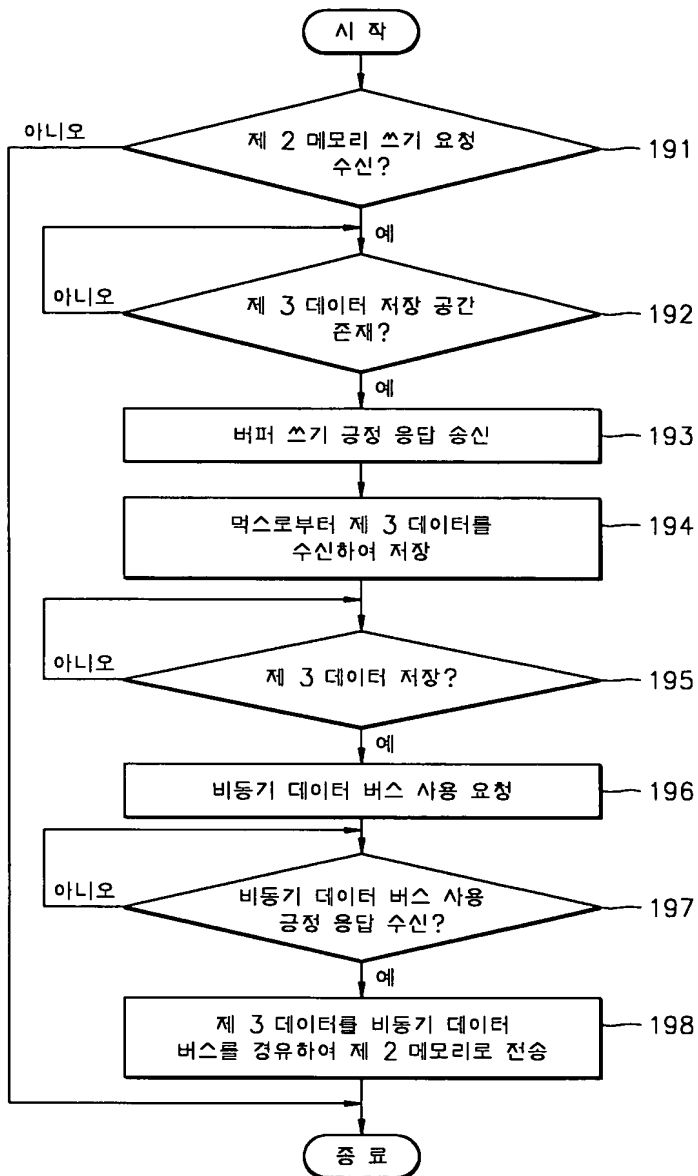
【도 17】



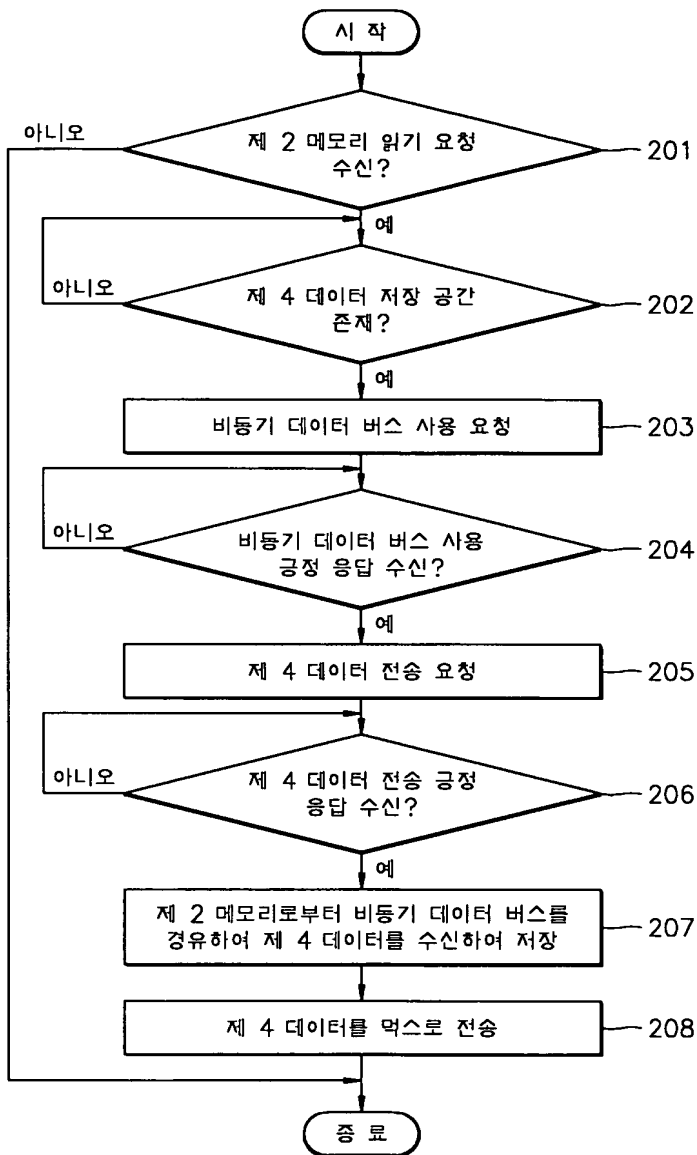
【도 18】



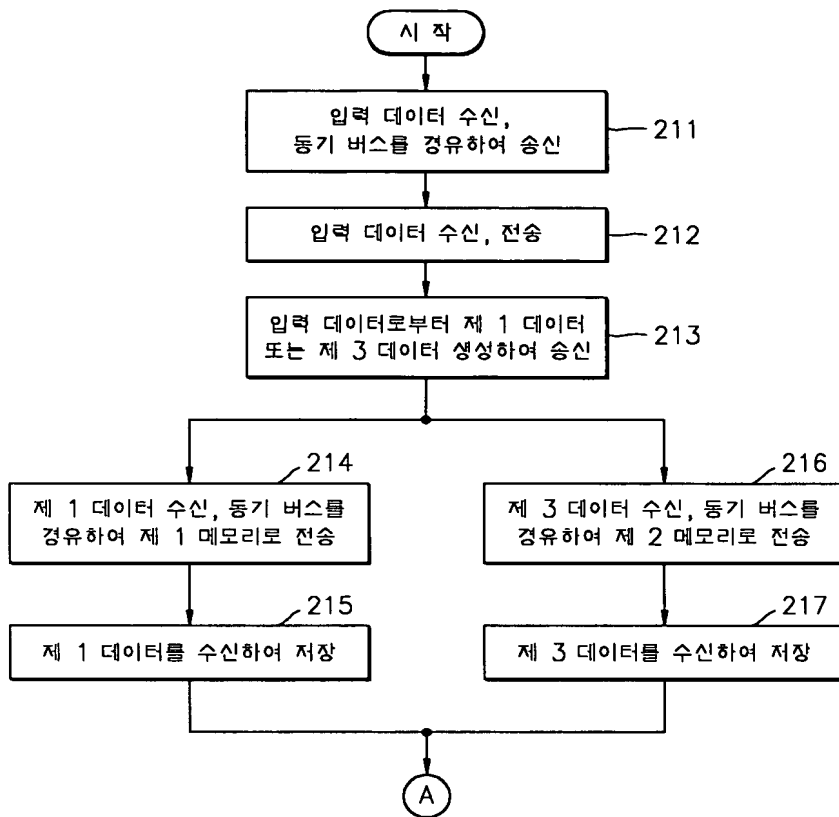
【도 19】



【도 20】



【도 21】



【도 22】

